

**LINEER VE VERNIER INTERPOLASYON YÖNTEMLERİ İLE
ZAMAN ARALIK ÖLÇÜMÜ**

İsmail Özkan

**Anadolu Üniversitesi
Fen Bilimleri Enstitüsü
Lisansüstü Yönetmenliği Uyarınca
Fizik Anabilim Dalı
Nükleer Fizik Bilim Dalında
YÜKSEK LİSANS TEZİ
Olarak Hazırlanmıştır.**

Danışman: Doç.Dr. Hamdi Atmaca

Eylül-1988

İsmail Özkan'ın YÜKSEK LİSANS tezi olarak hazırladığı " LINEER VE VERNIER INTERPOLASYON YÖNTEMLERİ İLE ZAMAN ARALIK ÖLÇÜMÜ " başlıklı bu çalışma, jürimizce lisansüstü yönetmeliğinin ilgili maddeleri uyarınca değerlendirilerek kabul edilmiştir.

.3.11.1988

üye : Doç. Dr. Hamdi Atmaca

üye : DOÇ. M. S. KILIÇKAYA

üye : Y. Doç. Dr. Önder ÖRHÜN

Fen Bilimleri Enstitüsü Yönetim Kurulu'nun 22.11.1988
gün ve ..195/8.....sayılı kararıyla onaylanmıştır.

Enstitü Müdürü

ÖZET

Günümüz teknolojisinin sınıra sığmayan gelişimi birçok sorunları da beraberinde getirmektedir. Elektronik ve nükleer bilimlerinde çeşitli araştırma alanlarındaki temel sorun kısa zaman aralıklarının ölçümüdür. Nükleer fizikte pozitronun yok oluşu (annihilation) üzerindeki çalışmalar (ki bunlar üzerinde ölçülecek zaman aralığı 100 ns mertebesindedir). α , β ve γ salan radyoaktif çekirdeklerin yarı ömür tayinleri çok önemlidir. Örneğin alfa parçacığı salan $^{88}\text{Ra}^{226}$ radyum çekirdeğinin yarı ömrü 1622 yıl olmasına karşın, gene alfa etkini $^{84}\text{Po}^{212}$ polonyum izotopunun yarı ömrü sadece 3×10^{-7} saniye olarak ölçülmüştür (300 ns).

Elektronikte ise özellikle dijital devre dizaynlarında göz önüne alınması gereken unsurlardan biri de kullanılacak devre elemanları üzerinde meydana gelecek darbe (puls) gecikmeleridir. Günümüzde mikroişlemcilerin gelişimi öyle boyutlara ulaştı ki bu çiplerle saniyede milyonlarca işlem yapılabilmektedir. Böylesine hızlı bir çalışma sürecinde birimler üzerinde meydana gelecek puls gecikmelerinin etkisini yok etmek değişik dizayn teknikleri ile mümkündür. Ancak bu tekniklerin kullanılabilmesi de birimler üzerindeki puls gecikme miktarının bilinmesine bağlıdır.

SUMMARY

Recent rapid technological developments bring out some new problems with it. Measurement of very short time intervals is the basic problem in research areas of nuclear science and electronics. Whose in nuclear physics, studies of positron annihilation (whose time interval for this is study is about 100 nsec.) and determination of life time of radioactive decay which emits alpha, beta and gamma particles are very important. For example the half-life of $^{88}\text{Ra}^{226}$ emitting alpha particle is 1622 years, whereas that of $^{84}\text{Po}^{212}$ also emitting particles is only about 3×10^{-7} sec (300 nsec)

In electronics, one of the most important points in design of digital circuits is the consideration of pulse delay which occurs in the circuit elements. Nowadays development of microchips has reached the high technological level so that, millions of arithmetical and logical operations can be carried out within a fraction of one second by using these elements. During such rapid operations, the effect of pulse delays occurring in the circuit elements can be eliminated by various design techniques. For the use of these design techniques, it is necessary to know the time intervals of these pulse delays.

TEŐEKKÜR

Bu alıŐmayı, bana yksek lisans tezi olarak veren ve bu konudaki bilgi ve tecrbeleriyle yol gsteren deđerli hocam Do.Dr. Hamdi Atmaca 'ya, deneysel alıŐmalarımda yardımını esirgemeyen arkadaŐım ArŐ.Gr. Eyp Byksolak 'a ve diđer mesai arkadaŐlarıma teŐekkr ederim.

İÇİNDEKİLER

	Sayfa
ÖZET	IV
SUMMARY	V
ŞEKİLLER DİZİNİ	IX
ÇİZELGELER DİZİNİ	X
BÖLÜM 1. GİRİŞ	1
BÖLÜM 2. ZAMAN ARALIĞI ÖLÇME YÖNTEMLERİ	2
2.1. Ortalama Zaman Yöntemi	2
2.2. Zaman Aralığını Genliğe Dönüştürme Yöntemi	7
2.2.1. Zamanı genliğe çeviricilerin yapısı	8
2.2.2. Dijital devrenin yapısı	8
2.2.3. Analog devrenin yapısı	12
2.3. Başlama-Durma (Start-Stop) Dönüştürücüleri	14
2.4. Vernier Interpolasyon Yöntemi	18
2.5. Lineer Interpolasyon Yöntemi	23
BÖLÜM 3. LINEER INTERPOLASYON YÖNTEMİ KULLANILARAK GERÇEKLEŞTİRİLEN DEVRE.....	28
3.1. Devrenin Genel Yapısı ve Çalışması .	28
3.2. Osilatörler	33
3.3. Sayıcı Ve Display Sürücü Devreler ..	36
BÖLÜM 4. VERNIER INTERPOLASYON YÖNTEMİ KULLANILARAK GERÇEKLEŞTİRİLEN DEVRE	40
4.1. Devrenin Genel Yapısı Ve Çalışması..	40
4.2. Osilatörler	44
4.3. Sayıcı ve Display Sürücü Devreler ..	44

İÇİNDEKİLER (devam)

	Sayfa
BÖLÜM 5. SONUÇ VE ÖNERİLER	45
KAYNAKLAR	48

EKLER

1. Linear interpolasyon yönteminin Baskılı Devre çizimleri
2. Vernier interpolasyon yönteminin Baskılı Devre Çizimleri
3. Dizayn Edilen Devrelerde Kullanılan Entegrelerin Özellikleri (4511, 4510, 4011, 4013, 4072, 4081, 7404, 74121, 7473, 74245, 8284)

ŞEKİLLER DİZİNİ

Şekil	Sayfa
2.1 Ortalama Zaman Yönteminin Devre Dizaynı	3
2.2 Ortalama Zaman Yönteminin Zaman Diyagramı	5
2.3 Zamanı Genliğe Çeviricinin Dijital Kısminin Devre Dizaynı	9
2.4 Dijital Kısminin Zaman Diyagramı	11
2.5 Zamanı Genliğe Çeviricinin Analog Kısminin Devre Dizaynı	13
2.6 GATTİ E. ,F. VAHİ ,E. ZOĞLU 'nun Start-Stop Dönüştürücü Devresi	15
2.7 WIERBER 'in Start-Stop Dönüştü rücü Devresi	16
2.8 BRUN 'un Start-Stop Dönüştürücü Devresi	17
2.9 WEISBER 'in Start-Stop Dönüştü rücü Devresi	17
2.10 Osilatör Pulsu Düzenleyicisi	19
2.11 Vernier Interpolasyon Yönteminde Zaman Diyagramı	20
2.12 Zaman Akış Diyagramı	22
2.13 Linear Interpolasyon Yönteminin Zaman Akış Diyagramı	26
2.14 Linear Interpolasyon Yöntemi Devre Dizaynı	29
3.1 20 KHz 'lik Osilatör Devre Şeması	34
3.2 5 MHz 'lik Osilatör Devre Şeması	35
3.3 20 MHz 'lik Osilatör Devre Şeması	35
3.4 Sayıcı Ve Display Sürücü Devrelerin Dizaynı	37
4.1 Vernier Interpolasyon Yönteminin Devre Dizaynı	41
4.2 Vernier Interpolasyon Yönteminde Zaman Diyagramı	43

ÇİZELGELER DİZİNİ

Çizelge	Sayfa
3.1. 4510 Sayıcısının Doğruluk Tablosu	38
3.2. 4511 Display Sürücüsünün Doğruluk Tablosu	38
3.3. 74245 Entegresinin Doğruluk Tablosu	39
5.1. Vernier interpolasyon yöntemiyle yapılan zaman aralık ölçümü sonuçları	46
5.2. Lineer interpolasyon yöntemiyle yapılan zaman aralık ölçümü sonuçları	46

BÖLÜM 1

GİRİŞ

Zaman aralık ölçümü değişik bilimsel alanlarda yapılan deneysel çalışmaların temel sorunudur. Böyle bir ölçüme ihtiyaç duyulan çalışmaların çokluğu, üzerinde analiz yapılacak pulsların değişik yapılarda olması soruna ayrı bir boyut getirmektedir. Başlangıçta tek sorun zaman aralığının ölçülmesi değildir. Ölçüm için kullanılan tekniğe uygun zaman aralığını belirleyen BAŞLAMA ve DURUŞ pulslarını oluşturmak, bu pulsları analiz edebilecek şekillere dönüştürmek ve pulsların genişliğini ve genliğini istenilen biçimde düzenlemekte başlı başına bir sorun teşkil etmektedir.

Zaman aralık ölçümü, hemen hemen her uygulama alanı için değişik teknikler kullanılarak yapılmaktadır. Bu uygulama alanlarında ölçülmesi istenilen zaman aralığının sürelerinin çok değişken ve istenilen hassasiyet derecelerinin farklı olması, bu kadar çok tekniklerin kullanılmasına yol açmıştır.

Bu tezin asıl amacı, zaman aralık ölçümü olduğu için başlangıçtaki pulsların düzenlenmesi işiyle uğraşmadan sadece deneysel çalışması yapılacak tekniğin analizi için BAŞLAMA ve DURUŞ pulslarını elde ettikten sonra zaman aralık tespitine geçilmesidir.

BÖLÜM 2

ZAMAN ARALIK ÖLÇME YÖNTEMLERİ

Günümüzde iki puls aralığının ölçülmesi için çok değişik yöntemler kullanıldığı belirtilmişti. Bu yöntemlerden en çok kullanılanları şunlardır:

- (a) Ortalama Zaman Yöntemi
- (b) Zamanı Genliğe Dönüştürme Yöntemi (TAC)
- (c) BAŞLAMA-DURMA (Start-Stop Converter) Çeviricileri
- (d) Vernier Interpolasyon Yöntemi
- (e) Lineer Interpolasyon Yöntemi

Deneyisel çalışmalarımız Lineer Interpolasyon ve Vernier Interpolasyon yöntemleri üzerinde olacaktır. Diğer yöntemleri ana hatları ile inceleyip devre şemaları üzerinde çalışma prensipleri anlatılacaktır.

2.1 Ortalama Zaman Yöntemi

Çalışmalarda ölçülmesi istenilen zaman aralığı saniyeler mertebesinde ise ortalama zaman metodunu kullanmak fazla bir sakınca olmaz. Bu yöntemle yapılan ölçümlerdeki maksimum hata $\pm T$ kadardır. Burada T referans osilatörünün periyodudur. Frekans ile periyot arasındaki ilişki 1 nolu eşitlik ile verilmiştir.

$$T = \frac{1}{f} \dots \dots \dots (1)$$

Referans osilatör frekansı 5000000 Hz ($f= 5$ MHz) seçilirse denklem (1) 'den $T=200$ nanosaniye (ns) bulunur. Ölçü-

referans osilatör pulsunun periyodunun (T) çarpımı ölçülmesi istenilen zaman aralığını verir. Şekil 2.1 'de verilen devre Ortalama Zaman Metodunda çalışacak bir biçimde dizayn edilmiştir.

Şekil 2.1 'deki devrenin çalışması oldukça basit bir temele dayanır. Öncelikle MM1 ve MM2 tekdarbe üretmelerinin çıkışları 100 ns ile 200 ns arasında genişliğe sahip puls verebilecek bir biçimde ayarlanır. Şekil 2.2 (d) ve şekil 2.2(e) 'de görüldüğü gibi BAŞLA pulsu geldiğinde MM1 ile DURMA pulsu geldiğinde MM2, 100 ns ile 200 ns arasında genişliğe sahip bir puls üretirler. Bu iki puls, bir "OR" (VEYA) kapısından geçirilerek TOGGLE olarak bağlanmış bir J-K FLİP FLOP 'unun saat (clk) girişine uygulanır. Şekil 2.2(g) 'de görüldüğü gibi J-K FLİP FLOP 'unun Q çıkışı ilk konumda (0) durumundadır. Birinci puls geldiğinde Q çıkışı (1) durumuna yükselir, ikinci puls geldiğinde (0) durumuna düşer. Q çıkışının (1) durumunda kaldığı süre, ölçülmek istenen zaman aralığı kadardır. Frekansı bilinen referans osilatörünün çıkışını J-K FLİP FLOP 'un Q çıkışı ile "AND" (VE) kapısından geçirilirse VE kapısının çıkışında şekil 2.2(h) 'daki Q çıkışının (1) olduğu süre içine yerleşmiş referans osilatör pulsları görülür. Bu "AND" (VE) kapısının çıkışı bir SAYICI grubunun saat (clk) girişine uygulanırsa ölçülmek istenen zaman aralığına yerleştirilen referans osilatör pulslarının sayısı (n) tespit edilir. Bu (n) sayısı ile referans osilatörünün (T) periyodunun çarpımı, ölçülmek istenen zaman aralığını verir.

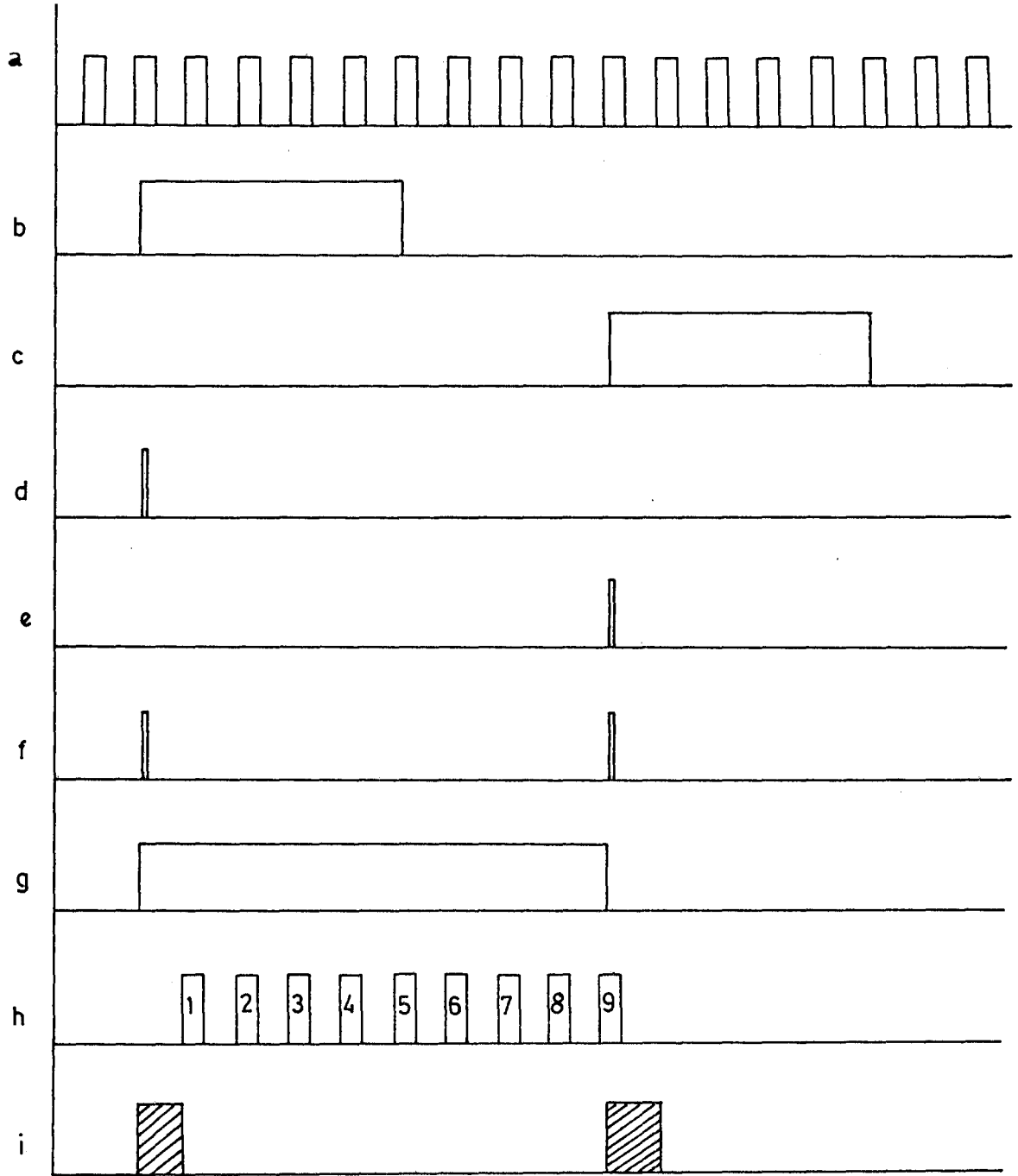
Şekil 2.2(h) 'deki zaman diyagramını örnek alırsak burada:

$$n = 9 \text{ adet} , T = 200 \text{ nanosaniye}$$

$$\text{Ölçülecek Zaman (T')} = n \times T$$

$$= 9 \times 200 \times 10^{-9} \text{ saniye}$$

$$= 1.8 \times 10^{-6} \text{ saniye bulunur.}$$



Şekil 2.2. Ortalama Zaman Yönteminde zaman diyagramı. a) Referans osilatör pulsları, b) BAŞLA pulsu, c) DURMA pulsu, d) MM1'in (tek darbe üretici) çıkışı, e) MM2'nin

çıkışı, f) VEYA kapı çıkışı, g) ölçülecek zaman aralığı, h) sayılacak pulslar, i) ölçümde yapılan hata miktarı.

Çok basit bir işlemle zaman aralığı hesaplanmış oldu. Ancak ortalama zaman yöntemi ile zaman aralıkları hassas ölçülmez, hata oranı çok yüksektir. Şekil 2.2(i) 'de görüldüğü gibi bu hata, ölçülecek zaman aralığının başlangıç ve bitiş noktalarında referans osilatör pulslarının tam yerleşmiş olmadığından kaynaklanır. Özellikle bu tezde kullanılan Vernier Interpolasyon ve Lineer Interpolasyon yöntemleri, bu iki noktadaki küçük zaman dilimlerinin hesaplanmasının gerekliliğinden oluşmuş metodlardır. Şekil 2.2(h) 'da görülen 1. pulsdan bir önceki puls sayılmamış olmasına rağmen periyodunun bir bölümü ölçülen zaman dilimine girmiş; bu başlangıçta yapılan (şekil 2.2(i) 'de görülen birinci puls) bir hatadır. Aynı düşünce tarzı ile şekil 2.2(h) 'da görülen 9. puls sayma işlemine tabi olduğu halde bu pulsun periyodunun bir kısmı ölçülmek istenen zaman aralığına dahil değildir. Burada yapılan hata miktarı şekil 2.2(i) 'de gösterilen ikinci pulsun genişliği kadardır. Ölçmek istenilen zaman aralığının gerçek boyutunu hesaplamak için Ortalama Zaman Metoduyla yukarıdaki örnek işlemde bulunan 1.8×10^{-6} saniyelik zaman dilimine, şekil 2.2 (i) 'deki 1. pulsun genişlik miktarını ilave edip 2. pulsun genişlik miktarını çıkarmak gerekmektedir.

Bundan dolayı bu küçük zaman dilimlerinde yapılacak hataları önlemek için diğer teknikler geliştirilmiştir. Bunlar Vernier Interpolasyon ve Lineer interpolasyon yöntemleridir.

2.2 Zaman Aralığını Genliğe Dönüştürme Yöntemi (TAC)

Sabit zaman kesirlerini (parçalarının) ayırt edebilme kabiliyeti ile kısa zaman aralıklarının genliğe dönüştürülmesi aşağıda anlatılmıştır.

Sabit zaman kesirlerini ayırtedebilecek bir sistem ile donatılmış zamanı genliğe dönüştürücülerin yapısı ve performansı ayrıntılı olarak verilmiştir. Zamanı genliğe dönüştürücü TAC (Time To Amplitude Converter) iki baslıklı devre üzerindeki analog ve dijital kısımları içermektedir. Bunların her ikisinde NIM modül genişliğindeki bir karta yerleştirilebilir. Bu bölümde anlatılan ve devresi şekil 2.3 'de verilen zamanı genliğe dönüştürücünün (TAC) ölü zamanı 100 nanosaniyedir. Yani bir BAŞLA pulsü geldiğinde TAC çalışmaya başlar ve bu BAŞLA pulsundan sonra 100 ns 'den daha kısa bir sürede DURMA pulsü gelecek olursa TAC buna cevap veremez. Bu durum şekil 2.3 ve şekil 2.4 'de verilen TAC modeli ile yapılacak kısa zaman aralık ölçümlerinin minimum değerinin 100 ns olması gerektiği sonucunu verir. (1) (Kostamovara, etal., 1985)

Zamanı genliğe çeviricilerin doğrusallık ve puls işleme oranları çok önemli özellikleridir. TAC içinde kullanılan hızlı elektronik devrelerin doğrusal olmayan farklılıklarını $\pm 2\%$ 'den daha iyi yapmak tamamen güçtür. Nükleer fizikte ölçülecek zaman aralıklarının çok küçük olması, ölçümlerin hassas bir şekilde tam ve doğru olarak tayin edilmesinde güçlük çıkarır. Diğer taraftan yine nükleer fizik uygulamalarında yüksek puls işleme hızlarında çok önemlidir.

TAC 'ın zamanı genliğe dönüştürme işlemi, zaman aralığı ölçümünün değişik uygulamalarında olduğu gibi

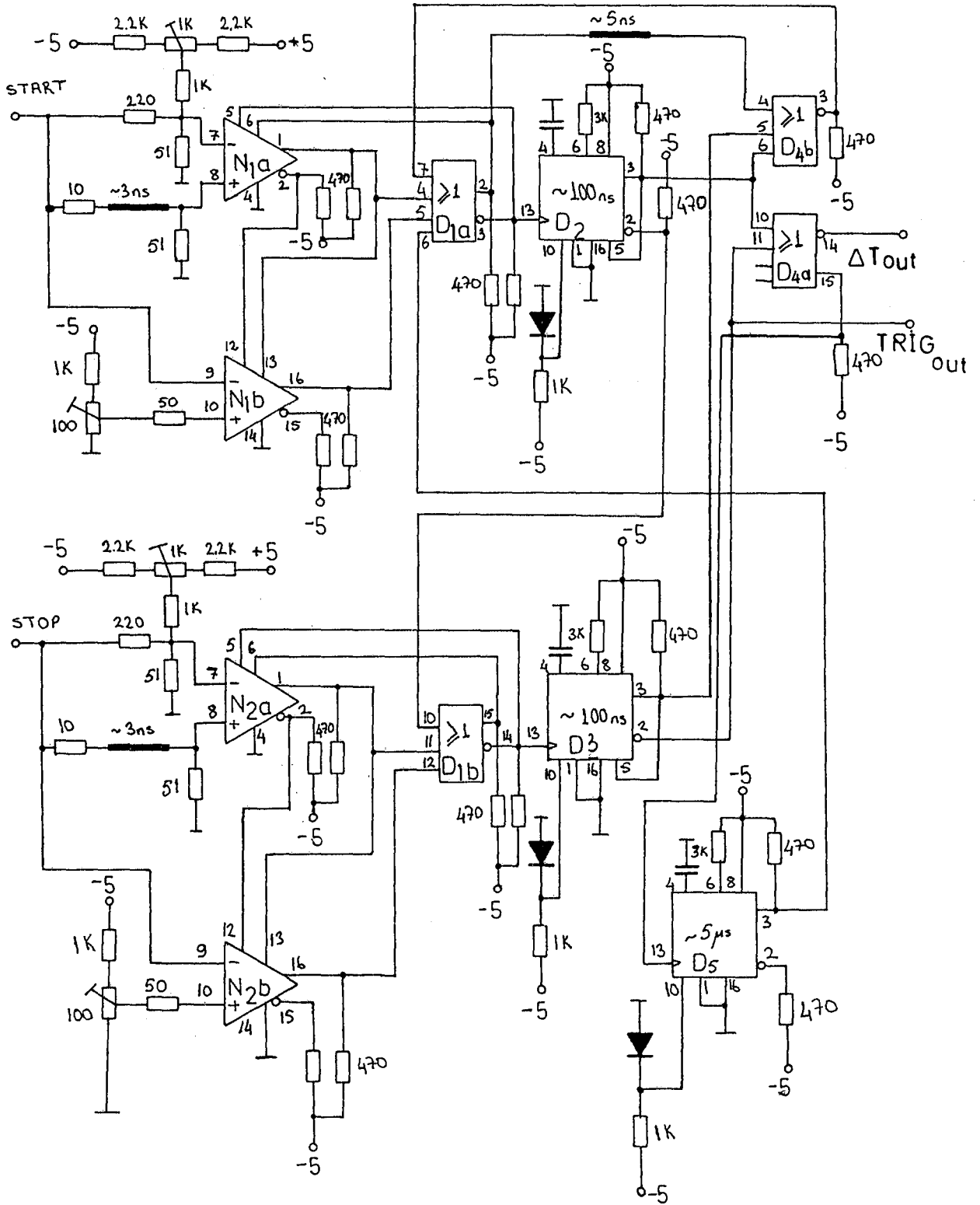
aralık ölçümü süresince bir kapasitenin şarj edilmesi ile oluşturulur. Kapasitedeki gerilim seviyesi, pulsun genliğini analiz edebilmek için uygun bir seviyeye yükseltir ve kuvvetlendirilir. TAC metodunda çıkış pulsunun ayırma gücü (resolution) <100 ps ve ölçülecek zaman aralığının 100 ms 'den daha kısa olması faydalı sonuçlar verir. 100 ms 'den daha büyük zaman aralıklarının ölçümünde diğer yöntemlerin kullanılması gereklidir. Çünkü TAC metodunun temelini bir kapasitenin şarj edilmesi prensibine dayalı olduğu belirtilmiştir. Kapasitelerinde belirli bir gerilim seviyesine şarj edilme sınırı olduğu için uzun zaman aralıklarının TAC yöntemi ile ölçülmesi mümkün olmamaktadır.

2.2.1 Zamanı genliğe çeviricilerin yapısı

Zamanı genliğe çeviriciler dijital ve analog teknikler olmak üzere başlıca iki farklı yapının birleşmesiyle meydana gelmektedir. Dijital kısım sabit zaman parçalarını ayırt edebilecek ve BAŞLA (start) ile DURMA (stop) pulsları arasındaki zaman aralığı ile doğru orantılı bir ECL pulsunu meydana getirecek bölümlerden ibarettir. Analog kısmın çıkış pulsunun genişliği ise yaklaşık 3 us ve ölçülen zaman aralığı ile ilişkili bu tek kutuplu pulsun genliği ise en çok 10 volt olmaktadır.

2.2.2 Dijital devrenin yapısı:

Şekil 2.3 'de dijital kısmın devre dizaynı verilmiştir. BAŞLA pulsu D_{1a} geçidinden geçerek tek darbe üretici D_2 'ye gelir. Tek darbe üretici ve bir tetikleme pulsu geldiğinde tetikleme pulsunun genişliğine bakmaksızın ayarlanan genişlikte bir puls verir ve bu

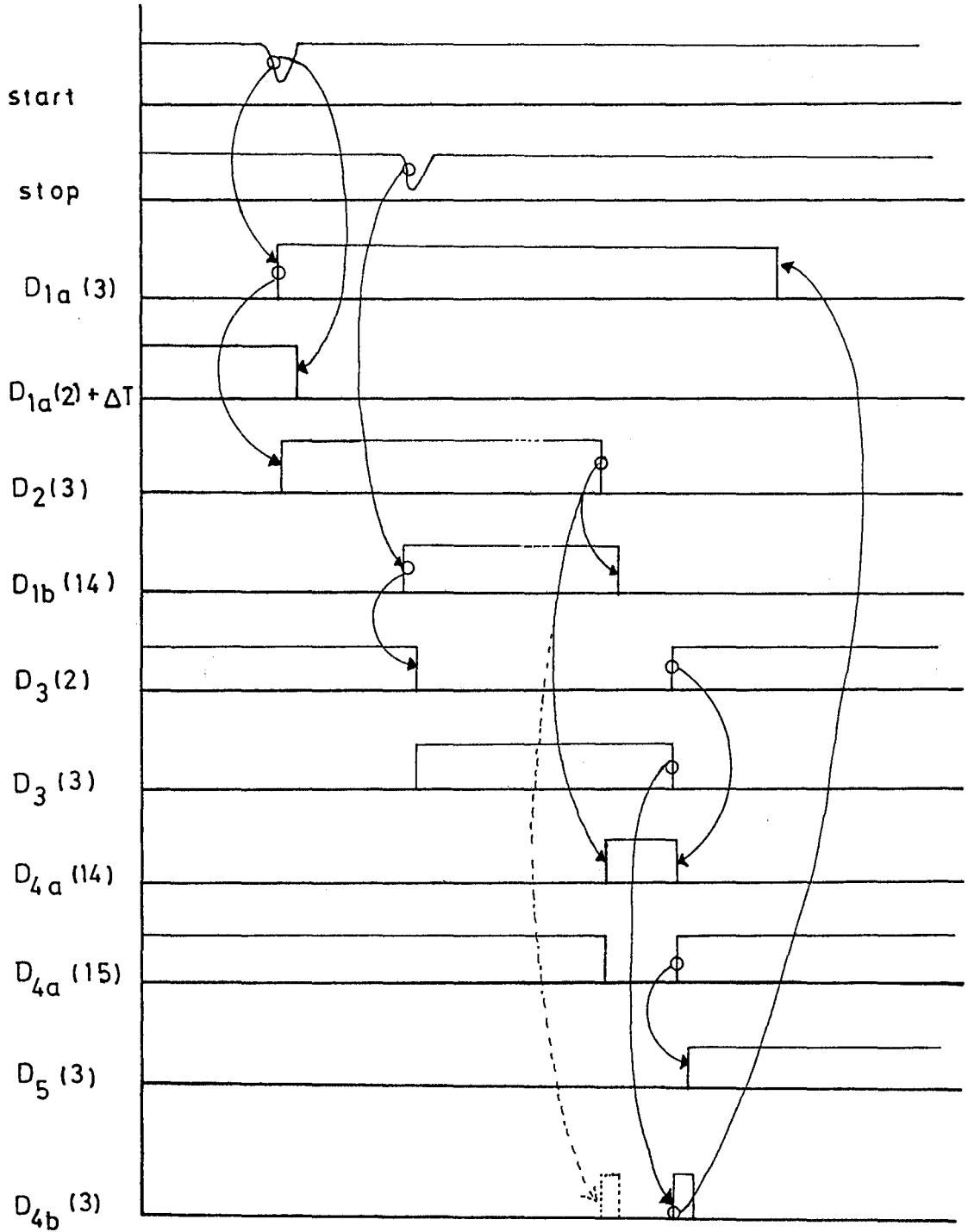


Şekil 2.3. Zamanı genliğe çeviricinin dijital kısmın devre dizaynı. (Kostamovara, et al., 1985)

devre için puls genişliği 100 ns olarak ayarlanmıştır. D₂'nin BAŞLA pulsu ile tetiklenmesinden ECL pulsu meydana gelir.

Aynı şekilde DURMA pulsu D_{1b} geçidi üzerinden D₃ tek darbe üreticini tetikler ve bir başka ECL pulsu elde edilir. D₂'nin doğrudan çıkışı ile D₃'ün ters çıkışı (inverter output) D_{4a}'nın girişine uygulanır. Böylece D_{4a}'nın çıkış pulsunun genişliği ölçülmek istenen BAŞLA ve DURMA pulsları arasındaki zaman farkı kadardır. Eğer BAŞLA pulsunun D₂ tek darbe üreticini tetiklemesi esnasında DURMA pulsu takip etmezse D₃ tek darbe üretici tetiklenmeyecek ve dijital kısım analog devreye bir çıkış pulsu veremeyecektir. D₂ ve D₃ tek darbe üreticilerinin çıkış pulslarının uzunlukları 100 ns olarak ayarlanmıştır. D_{4a}'nın çıkışı aynı zamanda D₅ tek darbe üreticini tetikler (D₅ her tetiklenişinde 5 us genişliğinde bir puls üretir) ve üretilen 5 us'lik bu puls analog devredeki değişmelerle D₂'nin etkilenmesini önler. Dijital kısmın zaman diyagramı şekil 2.4'de verilmiştir.

Sabit kesirlerin ayırt edilmesi SP9687 çift kıyaslayıcı (double comparators) ile yapılmıştır. Gerçek CFD ise (comparator fast discriminators) N_{1a} ve N_{2a} kıyaslayıcıları olmaktadır. Giriş zamanlama pulsu 1/5 kadar zayıflatıldıktan sonra CFD'nin ters çevirici girişine (inverting input) uygulanır. Aynı giriş pulsu, mühim bir zayıflamaya uğratılmaksızın 3 ns geciktirilerek CFD'nin diğer girişine (noninverting input) verilir. Böylece CFD kıyaslayıcısı giriş zamanlama pulsunun en yüksek tepesinin sabit bir kesrinin yerini tutacak zamanda çıkış pulsu meydana getirir ve burada CFD'nin sabit kesri 0.2 olur. Zamanlama pulsunun yükseliş zamanının (rise time) en uygun değeri 1-2 ns mertebesinde olmalı-



Şekil 2.4. Dijital kısmın zaman akış diyagramı
(Kostamovara, et al., 1985)

dır. CFD kıyaslayıcısının giriş devresinin rezistansı 50 Ω seçilir. Kıyaslayıcıların girişlerinin voltaj seviyeleri ayarlanarak offset seviyeleri düzenlenebilir. Kıyaslayıcının ters çevirmeyen (noninverting input) girişinde olan 3 ns lik bir gecikme giriş pulsundaki tepenin (peak) itina ile rast gelme zamanını temin etmesi için seçilir. Zamanlama pulsunun yükseliş zamanı sabit olduğu durumlarda genellikle bu sabit zaman kesri (time constant fraction. TCF) kullanılır. TCF zamanını aşağıdaki denklemlerle bulunabilir.

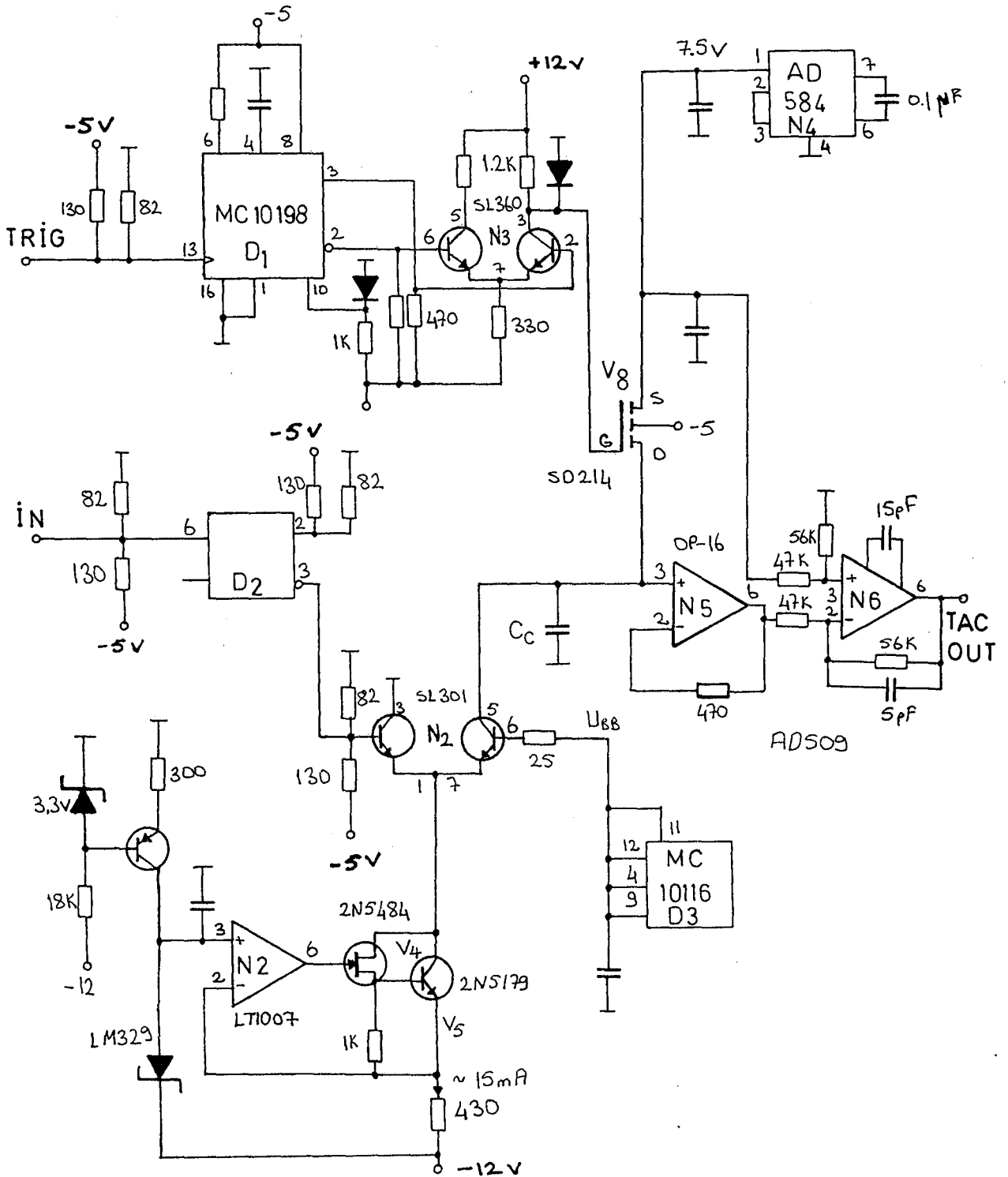
$$t_d = t_r (1 - f) \quad (8)$$

Burada t_d kıyaslayıcının ters çevirmeyen girişine uygulanan giriş pulsunun gecikme miktarı (3 ns), t_r zamanlama pulsunun yükseliş zamanı ve f ise CFD 'nin sabit kesridir. Eğer yükseliş zamanında önemli değişimler söz konusu ise t_d değerini 8 nolu denklem ile elde edilen değerden çok daha küçük seçmek faydalıdır. Ayrıca kullanılacak kıyaslayıcılar için U_t giriş zamanlama pulsunun tepe değeri ve f 'de sabit kesir olmak üzere

$$f U_t \quad \text{ve} \quad (1-f) U_t \quad \text{değerleri çok önemlidir.}$$

2.2.3 Analog devrenin yapısı:

Zamanı genliğe çeviricinin analog kısmı şekil 2.5 'de verilmiştir. Dijital bölümdeki D_3 tek darbe üreticinin çıkış pulsunun ön kenarında (yükselen kenar) analog devredeki D_1 tek darbe üretici tetiklenir. D_1 'in çıkışı N_3 puls yükselticiden V_8 MOSFET (metal oksit alan etkili transistör) anahtarlama transistörüne açılır. MOSFET transistörü D_1 'in çıkış pulsusu ile tetiklenir ve ilettime geçerek C_c kapasitörü 7.5 V referans voltajı



Şekil 2.5. Zamanı genliğe çeviricinin analog kıs-
devre dizaynı. (Kostamovara, et al.,
1985)

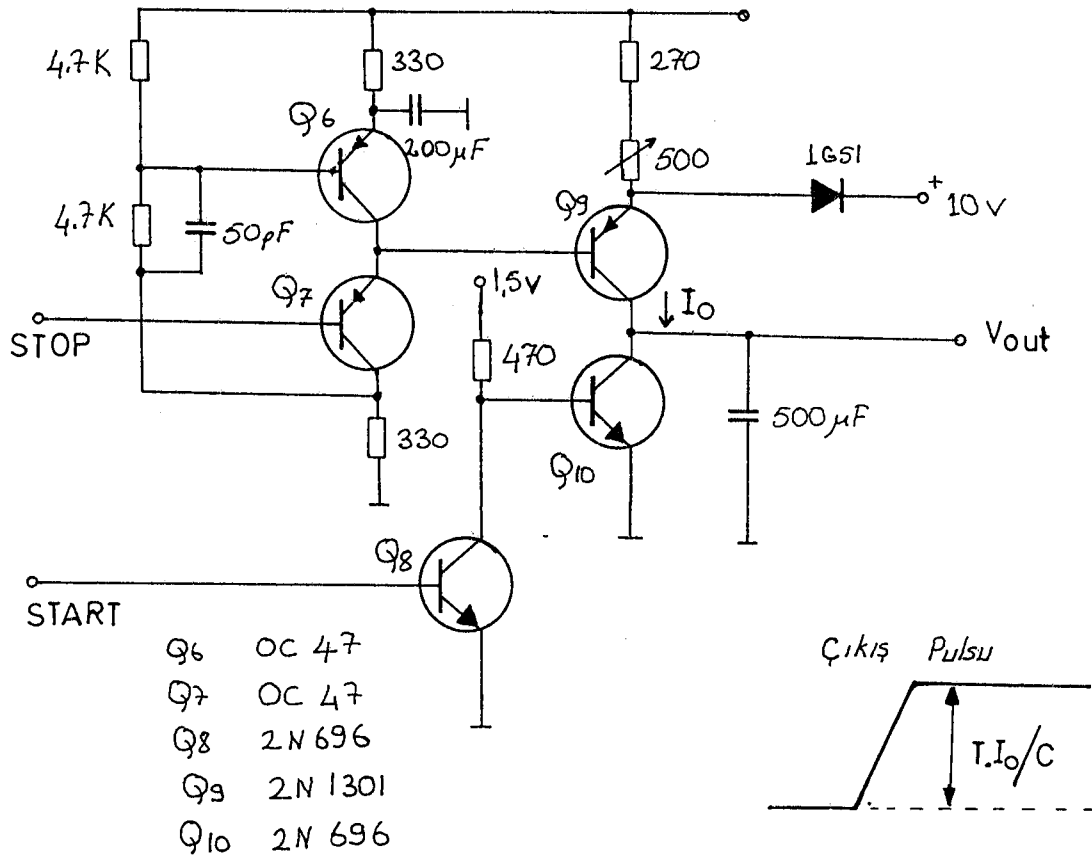
ile dolmaya başlar. Kapasitenin dolma süresi, D_1 tek darbe üreticinin çıkış pulsunun genişliği kadarki bir zamanda olmaktadır. Daha sonra 15 mA 'lık sabit bir akım ile BJT (bipolar junction transistör) transistörlerinden oluşturulmuş akım devresi olan N_2 üzerinden boşalır. C_C kapasitesi üzerindeki voltaj değişimi N_6 fark yükselteci tarafından bir pozitif pulsa yükseltilir. 3 us 'lık bir peryot için V_8 anahtarlama MOSFET 'i tetiklenir. Bunun üzerine C_C kapasitesi süratle anahtarlama üzerinden 7.5 V 'luk referans voltajına şarj olur. Devre üzerinde iletimi sağlayan kablolarda oluşan gecikmeler, C_C kapasitesinin boşalmaya başlaması ile V_8 'in anahtarlama arasındaki gecikmeler daima 10 ns 'den uzundur. Sabit akım, bir seri seri geri beslemeli yükselteci ile V_3 diyodunun referans voltajından meydana getirilmiştir. Yüksek frekans tampon (buffer) transistörleri olan V_4 ve V_5 transistörleri yüksek frekansta akım jeneratörünün çıkış empedansının yüksek olmasına sebep olur.

TAC 'nın analog ve dijital kısımları bir tek standart NIM modül genişliğindeki baskılı devre kartına yerleştirilebilir ve hatta devrede kullanılan -5.2 V ve +5 V 'u oluşturmak için gerekli voltaj regülatör devresi de bu NIM modüle sığdırılabilir. Yalnızca -12 ve +12 voltluk besleme gerilimi dışarıdan doğrudan doğruya alınır. Besleme voltajı, LC şebekeleri ile filtrelenmiştir. İyi bir filitreleme, özellikle dijital kısımdaki D_2 ve D_3 tek darbe üreticilerinin zamanlama devreleri için çok önemlidir. (4) (Kostamovara, et al., 1985)

2.3 Başlama-Durma (Start-Stop) Dönüştürücüleri

Başlama ve Durma pulsları arasındaki zaman aralığı-

nı bir pulsa veya bir puls yüksekliğine çeviren birçok dönüştürücüler mevcuttur. Şekil 2.6 'da verilen Start-Stop dönüştürücüsü (2) GATTI E., etal. tarafından yapılan çalışmadır. Herhangi bir giriş yokken Q_9 ve Q_{10} transistörlerinin her ikisinde durgundur. Q_9 transistörü bir akım jeneratörü gibi çalışmaktadır. I_0 akımının değeri ise 500Ω 'luk bir potansiyometre ile ayarlanabilmektedir C kondansatörü Q_{10} transistörünün kesim gerilimine boşalır; yani girişte hiçbir puls yokken Q_6 iletimdedir bundan dolayı Q_9 transistöründe iletime geçmektedir. Q_8 transistörünün beyzinde herhangi bir giriş olmadığı için kesimde olup dolayısıyla Q_{10} iletimdedir. Bu sebepten, C kondansatörü üzerideki gerilim

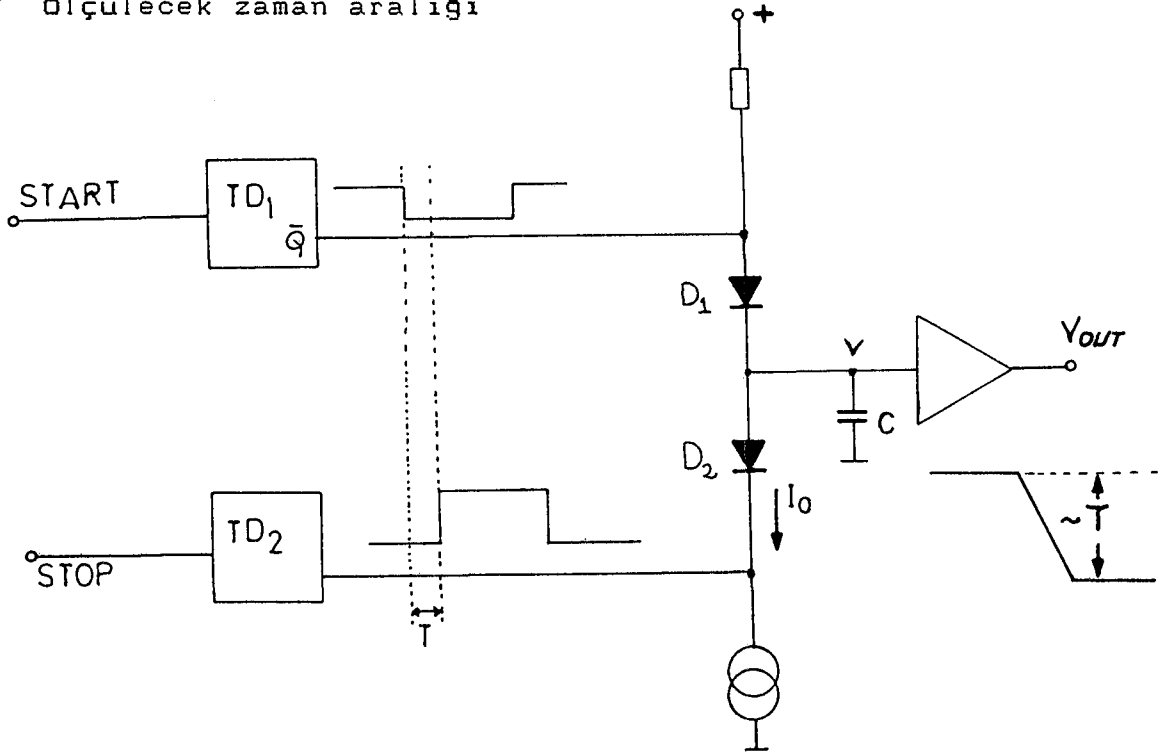


Şekil 2.6. GATTI E. ,F. VAGHI ve E. ZAGLIO 'nun Start-Stop dönüştürücü devresi.

değeri Q_{10} transistörünün VCE voltaj değerine eşit olur. BAŞLA pulsu geldiği an Q_8 transistörü ilettime geçer Q_{10} kesime ve gider böylece C kapasitesi dolmaya başlar. Bu durum DURMA pulsu gelinceye kadar devam eder. DURMA pulsu geldiğinde Q_7 ilettime geçerek Q_9 transistörünü kesime zorlar. BAŞLA-DURMA pulsları arasındaki T zaman süresince C kapasitesi dolar ve çıkış pulsu $T \cdot I_0 / C$ ile doğru orantılı olur. Nanosaniye mertebesindeki ($T = 0 \dots 100$) zaman aralıklarının ölçülebilmesi için devre içindeki elemanların değerini duruma göre seçmek gereklidir. Şekil 2.7, şekil 2.8 ve şekil 2.9 'da WIEBER. etal.'ın START- STOP dönüştürücüleri ile ilgili çalışmaları verilmiştir.

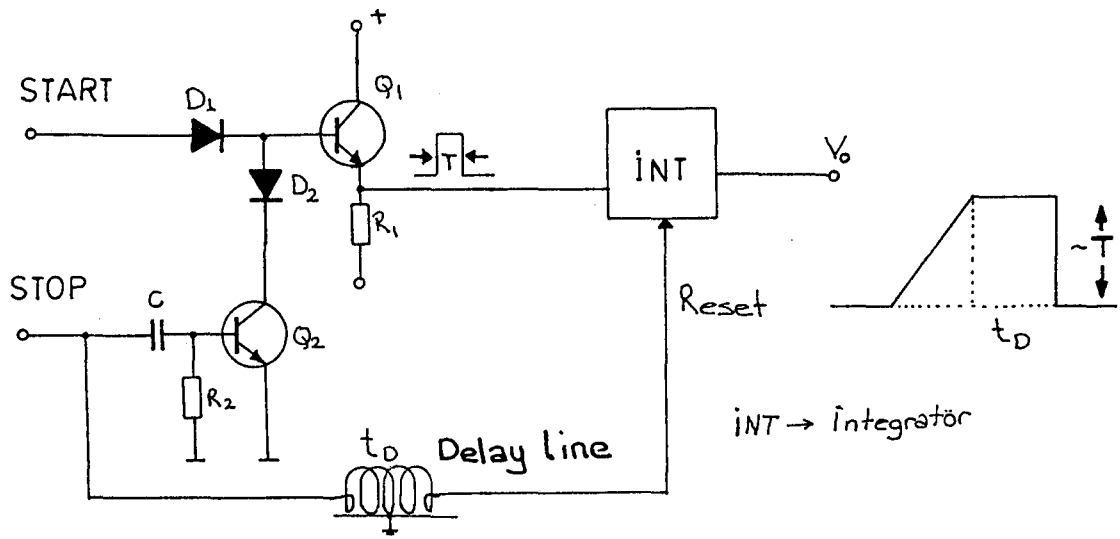
TD₁, TD₂ (Monostable Multivibratör)

T ölçülecek zaman aralığı

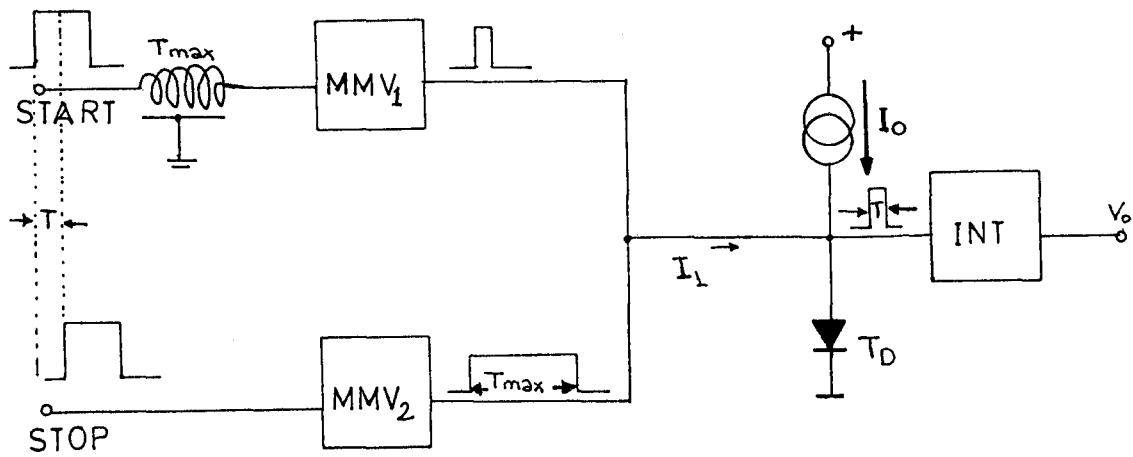


Şekil 2.7. WIEBER 'in START-STOP dönüştürücüsü.

Bu devre ile 200 ns. mertebesindeki bir zaman aralığını tespit etmek mümkündür.



Şekil 2.8. BRUN 'un devresi.



Şekil 2.9. WEISBERG 'in devresi.

2.4 Vernier Interpolasyon Yöntemi

Bu metodla zaman aralığı, Ortalama zaman metoduna göre çok daha hassas ölçülmektedir. Burada ölçülecek zaman aralığının özellikle başlama ve bitiş bölgelerindeki hata miktarı minimuma indirilir. Bu metodun temeli periyodları arasında çok küçük fark olan iki osilatörün pulslarının üst üste gelme ilkesidir. Şekil 2.10 'da da görüldüğü gibi devre dizaynında (ayrıntı için Bölüm 4) periyodları farklı iki adet osilatör kullanılmıştır. Burada osilatör pulslarının pozitif kısımlarının genişlikleri, şekil 2.10'daki devrenin ilavesiyle mümkün olduğu kadar küçültülmelidir. Böylece Şekil 2.11 ' de görülen Vernier interpolasyon metodunun temelini oluşturan iki pulsun üst üste rast gelme olayı gerçek pulslar arasında olmaktadır. Birinci osilatörünün frekansı (f_1), periyodu (T_1), ikinci osilatörünün frekansı (f_2) ve periyodu (T_2) olsun. T_1 periyodunu T_2 periyodundan % 0.1 kadar büyük seçilsin, f_2 frekansı 10,000,000 Hz, f_1 frekansı 9,999,000 Hz olsun. Böylece $T_1=1.0001 \times 10^{-7}$ saniye $T_2=1 \times 10^{-7}$ saniye olur.

Şekil 2.11 'deki zaman akış diyagramını gözönüne alarak örnek bir çözüm yapalım. Şekil 2.11 'de gösterilen sayıcıya gönderilen pulslar bu örnek için 22 adet olsun. Bu şekilden

$$X = n.T' \quad (2)$$

$$\text{ve } X = T + n.T'' \quad \text{çıkarmak} \quad (3)$$

Denklem (2) ve (3) ' ün eşitliğinden

$$n.T' = T + n.T''$$

$$T = n.T' - n.T''$$

$$T = n.(T' - T'')$$

$$\Delta T = T' - T'' \quad (4)$$

$$T = n.\Delta T \quad (5)$$

5 nolu denklem bu yöntemde temel denklem olacaktır. Bölüm 4' de Vernier Interpolasyon devresi dizayn edilirken birinci osilatörün periyodunu $T_1 = 1.0001 \times 10^{-7}$ saniye ve ikinci osilatörün frekansını $T_2 = 1 \times 10^{-7}$ saniye olarak seçilmiştir. Böylece denklem (4)'den T hesaplanabilir.

$$T_1 = T' \text{ ve } T_2 = T'' \text{ ise}$$

$$\Delta T = 1.0001 \times 10^{-7} - 1 \times 10^{-7}$$

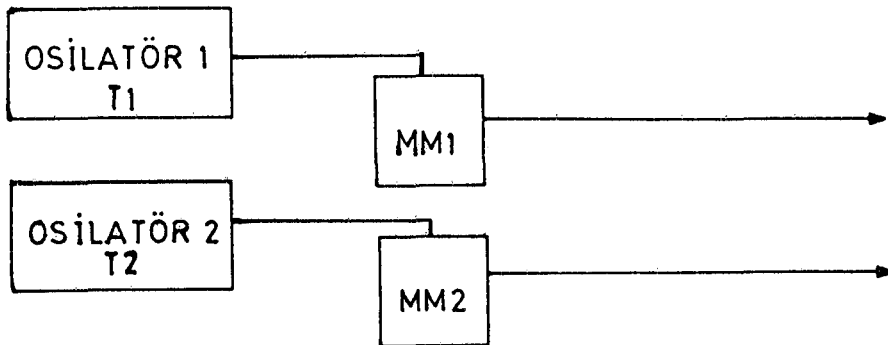
$$\Delta T = 1 \times 10^{-11} \text{ saniye olur.}$$

Şekil 2.11 'de puls sayısı $n = 22$ adet olursa 5 nolu temel denklemi kullanılarak ölçülmesi istenilen zaman aralığı,

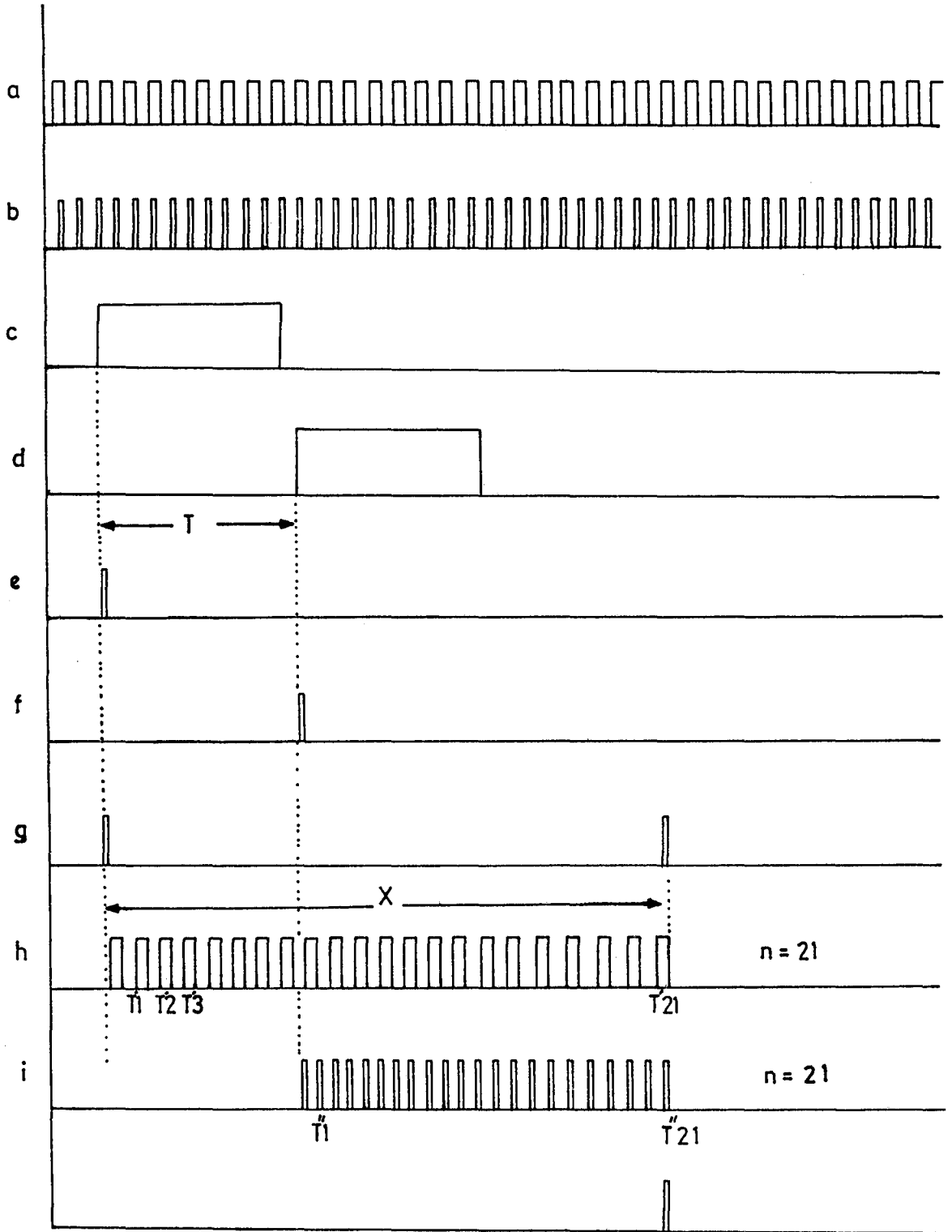
$$T = 22 \cdot 1 \times 10^{-11}$$

$$T = 22 \times 10^{-11} \text{ saniye olarak bulunur.}$$

Vernier Interpolasyon Metodu ile yapılan zaman aralık ölçümlerindeki hata, Ortalama Zaman Metodunda yapılan hatadan çok daha küçüktür. Bu metotta yapılan hatayı dahada küçültmek seçilen T_1 ve T_2 periyodlu osilatör pulslarına bağlıdır. Bu periyodlar ne kadar küçük seçilirse ölçüm hassasiyeti o kadar arttırılmış olur. Ayrıca T_1 ve T_2 periyodları arasındaki farkı çok küçük (% 0.01 daha küçük) seçmekle de ölçüm hassasiyeti arttırılmış olacaktır.



Şekil 2.10. Osilatör pulsu düzenleyicisi.



Şekil 2.11. Vernier Interpolasyon Yönteminde zaman diagramı. a) T_1 periyodlu osilatör puls

ları, b) T_2 periyodlu osilatör puls-
ları, c) BAŞLA pulsü, d) DURUŞ pulsü, e)
MM1'in çıkışı, f) MM2'nin çıkışı, g) 1
nolu VEYA kapısının çıkışı, h) 1 nolu VE
kapısının çıkışı, i) 3 nolu VE kapısının
çıkışı.

Vernier interpolasyon metodu değişik tarz düzenle-
melerle de gerçekleştirilebilir. Örneğin şekil 2.12
'deki zaman akış diyagramını verecek bir devre dizaynı
ile zaman aralık ölçümü mümkündür. Böyle bir sistemin
çalışması şekil 2.12 'deki zaman diyagramı üzerinde açık-
lanabilir. Bu sistemde öncelikle üç adet osilatöre ihti-
yaç vardır. Birinci osilatör referans osilatörü ve
periyodu T_0 olsun, ikinci osilatörün periyodu T_1 , üçün-
cü osilatörün periyodu da T_2 olsun. Böylece

$$T_1 = T_2 = T_0 \left(\frac{n+1}{n} \right) \dots \dots (6)$$

ifadesi bulunur.

T_1 ve T_2 , T_0 'ın $(n+1)/n$ katı kadar büyük seçil-
sin. BAŞLA pulsü ile T_1 periyodlu osilatör salınımına
başlar ve T_0 periyodlu referans osilatör pulslerinden
herhangi biriyle çakıştığı an salınımı durdurur. Bu süre
içindeki puls sayısı n_1 olsun. Aynı şekilde DURMA pul-
su ile T_2 periyodlu osilatör salınımına başlar ve herhangi
bir referans osilatör pulsü ile çakıştığında salınımı
durdurur. Bu süre içindeki pulslerin sayısına da n_2
diyelim. Şekil 2.12 'de de açıkça görüldüğü gibi ölçül-
mesi istenilen T zaman aralığı aşağıdaki işlem sırası ile
kolayca hesaplanabilir.

$$T = X + Y - Z$$

$$Y = n_0 \cdot T_0 \quad n+1$$

$$X = n_1 \cdot T_1 = n_1 \cdot T_0 \left(\frac{n+1}{n} \right)$$

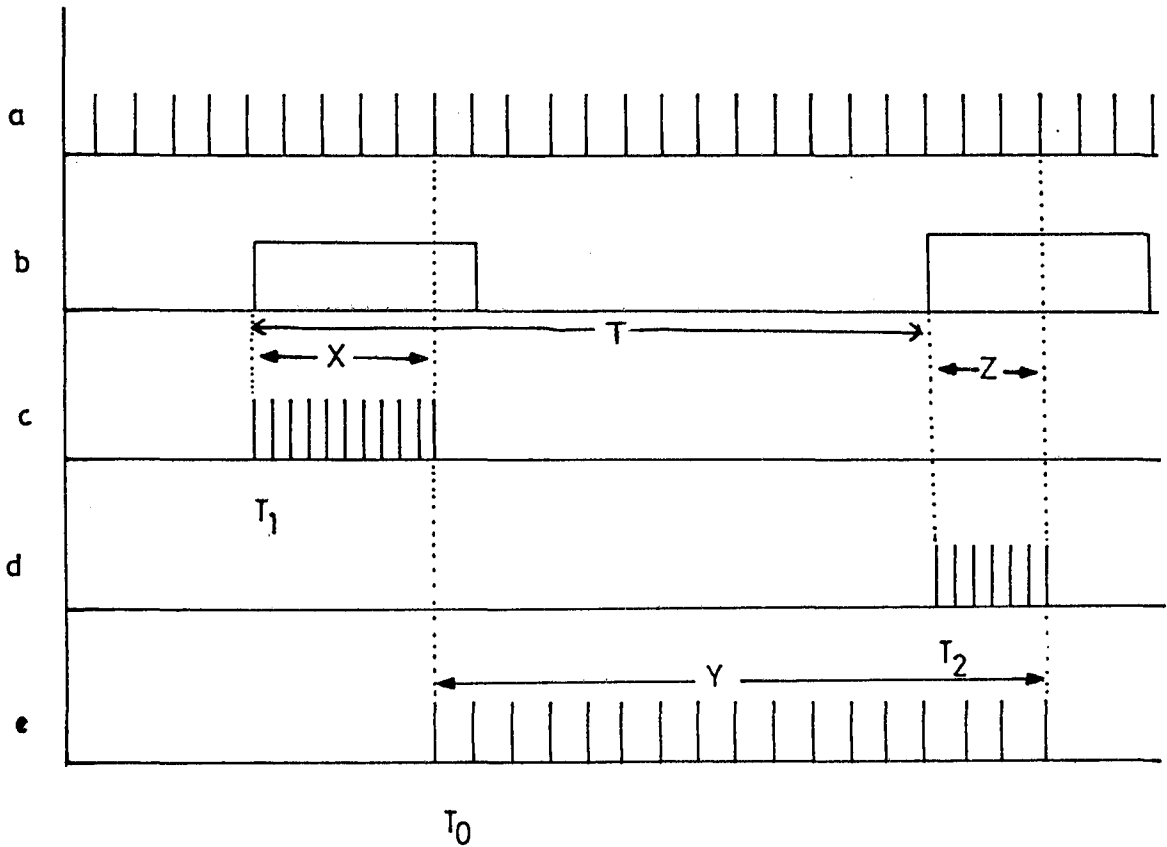
n

$$Z = n_2 \cdot T_2 = n_2 \cdot T_0 \cdot \left(\frac{n+1}{n} \right)$$

X, Y, Z degerleri 6 nolu denklemde yerine konursa genel denklem elde edilir.

$$T = n_1 \cdot T_0 \cdot \left(\frac{n+1}{n} \right) + n_0 \cdot T_0 - n_2 \cdot T_0 \cdot \left(\frac{n+1}{n} \right)$$

$$T = T_0 \cdot \left(n_0 + (n_1 - n_2) \left(\frac{n+1}{n} \right) \right) \dots \dots (7)$$



Şekil 2.12. Zaman akış diyagramı. a) referans osilatör pulsarı, b) BAŞLA ve DURUŞ pulsarı, c) T_1 peryodlu ikinci osilatör pulsarı, d) T_2 peryodlu üçüncü osilatör pulsarı.

7 nolu denklemde de görüldüğü gibi n katsayısı ne kadar büyük seçilirse ölçümün hassasiyeti o derece artar. Fakat n katsayısının büyümesi f_1 ve f_2 frekanslarının f_0 referans osilatör frekansına yaklaşmasına neden olacaktır. Bu durumda osilatör devrelerinin gerçekleştirilmesi zorlaşacaktır.

Bir örnek verilecek olursa:

$$f_0 = 1 \text{ MHz olsun.} \quad 10$$

$$n = 10 \text{ için } f_1 = f_2 = 10^6 \text{ -----}$$

$$11$$

$$f_1 = f_2 = 0.90909 \text{ MHz olur.}$$

$$n = 1000 \text{ MHz için } f_1 = f_2 = 10^6 \text{ -----}$$

$$1001$$

$$f_1 = f_2 = 0.99900 \text{ MHz olur.}$$

n katsayısının iki değeri için verilen örnekte n= 10 için 909 KHz 'lik osilatör gerekirken, n=1000 için 999 KHz'lik osilatör gerekmektedir. 999 KHz 'lik osilatörü yapmak hassasiyet yönünden 909 KHz 'lik osilatörü yapmaktan daha zordur.

2.5 Lineer Interpolasyon Yöntemi

Lineer Interpolasyon Yöntemi daha önce bahsedilen bazı ölçme yöntemlerinde yapılan hataların çok önemsiz mertebelere indirilmesi gerekliliğinden oluşmuş bir yöntemdir. Ölçülecek zaman aralığının 100 usn 'den büyük olduğu durumlarda Lineer Interpolasyon yöntemini kullanmak çok yararlıdır. Özellikle daha önce incelenen bazı metodlarda ölçülmek istenen zaman aralığının başında ve

bitiminde yapılan küçük hatalar bu yöntemde göz önüne alınır ve çalışmalar o hata bölgeleri üzerinde yoğunlaştırılır. Interpolasyon yönteminin temelini de bu teşkil eder. Aslında bu bölgelerde yapılan hatanın büyüklüğü tamamen seçilen referans osilatör pulsunun (T) periyoduna bağlıdır. Ortalama Zaman Yöntemiyle yapılacak bir zaman aralığı ölçümünde bu hata miktarı + T kadar olabilmektedir. Yapılan bu hata miktarı büyük zaman aralıkları yanında ihmal edilebilir; ancak çok küçük zaman dilimlerinde bu hata mutlaka göz önüne alınmalıdır. Öncelikle bu hata yapılan zaman dilimlerini gerçek boyutları ile ayırt etmek gereklidir. Bunun yapılabilmesi için de kullanılan referans osilatörünün dalga şekli mükemmel bir kare dalga olmalıdır. Referans osilatörünün frekansı arttıkça yapılan hatanın azaldığı söylenmişti. Fakat frekansın bu artışıyla kare dalganın şeklinde meydana gelecek bozulmalar ölçülecek zaman aralığının başlangıç ve bitiş noktalarında yapılan hatalı zaman dilimlerinin tespitini zorlaştıracak ve aslından çok daha küçük zaman dilimlerinin ayırt edilmesine neden olacaktır. Hata yapılan bu bölgeler ayırt edildikten sonra istenilen oranda büyütülür ve içine referans osilatör pulsları yerleştirilerek hata miktarı tespit edilir.

Lineer Interpolasyon Yönteminde iyi bir sonuç alınmanın başka bir şartı da tespit edilip ayrılan hata dilimlerinin büyütüleceği orandır. Bu oran ne kadar büyük seçilirse ayırt edilen hata dilimlerinin miktarıda o derece iyi tespit edilir. Ancak bu oranın seçimini sınırlayan bazı şartlar mevcuttur. Dizayn edilecek cihazın sayıcı katının puls sayma kapasitesi bu sınırlayıcı etkilerdendir. Mesela dizayn edilen sayıcı 7 basamaklı olsun, bu sayıcının kaydedeceği maksimum puls sayısı 9.999.999 olur. Burada referans osilatörünün periyodu $T=200$ nsn seçildiğine göre, yapılacak hata da maksimum + T kadar

olacağından büyütme oranı 10^8 seçilirse hatalı zaman diliminin büyütülmüş durumuna yerleştirilen referans osilatör pulslarının sayısı, sayıcının sayma sınırını aşar. Böyle bir duruma meydan vermemek için büyütme oranını tespit ederken sayıcının sayma kapasitesi ve referans osilatörünün T periyodu gözönüne alınmalıdır. Hata bölgelerinin ayırt edilip belirli oranda büyütülmesiyle elde edilen bu pulslara interpolatör pulsları denir. Lineer interpolasyon Yönteminde değişik şekillerde interpolatör pulsları ile çalışılabilir, ve bu çalışmada kare dalga şeklinde interpolatör pulsları elde edilecektir.

Şekil 2.13 'deki zaman akış diyagramı gözönüne alınarak örnek bir çözüm aşağıda verilmiştir:

$$f = 5 \text{ MHz}, T = 200 \text{ nsn ve büyütme oranı } k = 1000 \text{ olsun,}$$

$$n = 5 \text{ adet (şekil 2.13(e) 'den)}$$

$$X = n \cdot T = 5 \cdot 200 \cdot 10^{-9} = 10^{-6} \text{ saniye}$$

Başlangıçta yapılan hata miktarı aşağıdaki gibi tespit edilir.

$$n' = 16 \text{ adet (şekil 2.13(h) 'den)}$$

$$T'' + k T'' = n' T$$

$$T'' = (n' T) / (k + 1) = (16 \cdot 200 \cdot 10^{-9}) / (1000 + 1)$$

$$T'' = 3,11968 \cdot 10^{-9} \text{ saniye}$$

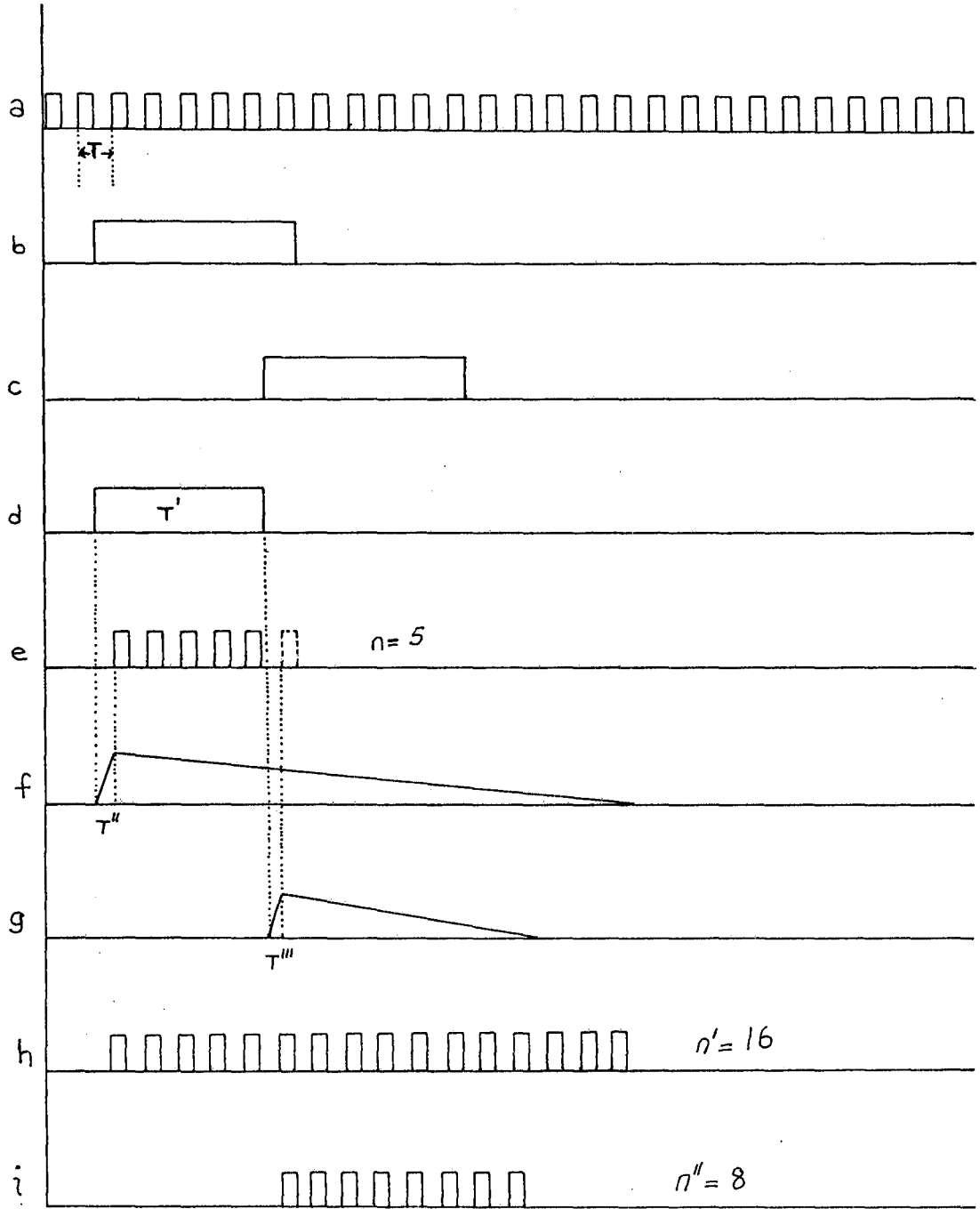
Bitişteki hata miktarıda tespit edilirse

$$n'' = 8 \text{ adet (şekil 2.13 (i) 'den)}$$

$$T''' + k T''' = n'' T$$

$$T''' = (n'' T) / (k + 1) = (8 \cdot 200 \cdot 10^{-9}) / (1000 + 1)$$

$$T''' = 1,598 \cdot 10^{-9} \text{ saniye çıkar.}$$



Şekil 2.13. Linear interpolasyon yönteminde zaman akış diyagramı. a) R.O. pulsuları, b) Start pulsu, c) Stop pulsu, d) ölçülecek zaman aralığı, f) Start interpolatör pulsu, g) Stop interpolatör pulsu, e), f), i) tespit edilecek zaman aralıklarına yerleştirilen R.O. pulsu.

Ölçülmesi gereken gerçek zaman aralığı olan T' :

$$T' = X + T'' - T'''$$

$$T' = 10^{-6} + 3,1968 \cdot 10^{-9} - 1,598 \cdot 10^{-9}$$

$$T' = 1,0015 \cdot 10^{-6} \text{ saniye olur.}$$

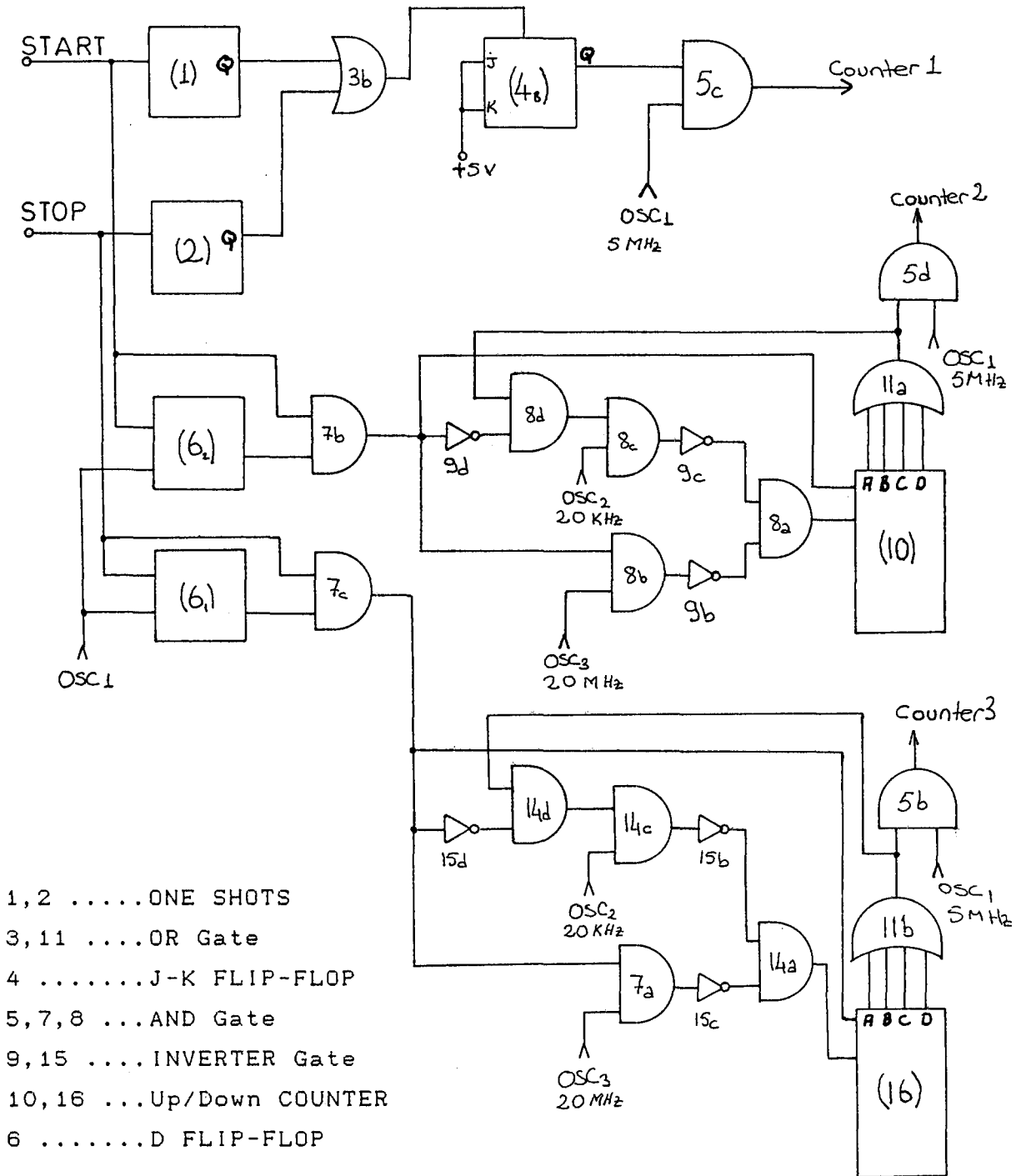
BÖLÜM 3

LINEER İNTERPOLASYON YÖNTEMİ KULLANILARAK GERÇEKLEŞTİRİLEN DEVRE

Lineer interpolasyon yöntemini kullanarak zaman aralığını ölçen bu cihaz iki ana bölümde incelenebilir. Dizayn edilen bu devrenin ilk kısmı BAŞLA ve DURMA puls-ları arasında geçen zaman aralığını belirlemek ve bu zaman aralığına T periyotlu referans osilatör pulslerini yerleştirerek belirlenen bu zaman aralığının başlangıcın-da ve bitiminde hata yapılan zaman dilimlerini ayırma görevini yapar. Burada referans osilatörünün frekansı $f=5$ MHz ve periyodu $T=200 \times 10^{-9}$ saniyedir. Böylece ölçülebilen minimum zaman aralığı 200 nanosaniyelik olup veya bundan daha büyük bir zaman aralığı ölçülebilmektedir. İkinci kısım, sayıcı guruplarından oluşmuştur; ayırt edil-en bu zaman dilimlerine yerleştirilen pulsler bu kısım-daki sayıcılar vasıtasıyla sayılır ve her aralığa düşen pulsler tespit edilir. Bu yöntemin zaman akış diyagramı şekil 2.13 'de verilmiştir, ancak şekil 2.13(f) ve şekil 2.13(g) 'deki interpolatör pulsleri üçgen biçiminde değil, kare dalga şeklinde elde edilmiştir. Bunlar di-zayn edilen devrenin yapacağı temel işlemlerdir.

3.1 Devrenin Genel Yapısı Ve Çalışması

Lineer interpolasyon yöntemini kullanarak zaman aralığı ölçecek devrenin devre dizaynı şekil 2.14 'de gösterilmiştir. Bu devrenin çalışmasını şekil 2.13 'deki zaman akış diyagramında göz önünde tutularak açıklanabi-lir. Seçilen osilatör pulsünün periyodu 200 nanosaniye olduğu için BAŞLA ve DURMA pulslerini 200 nanosaniyeden daha küçük genişliğe sahip pulslerle dönüştürülmelidir. Bu



Şekil 2.14. Linear interpolasyon yönteminin devre dizaynı.

işlem 1 ve 2 nolu entegrelerle (74LS121-ONE SHOTS) yapılmaktadır. Bu entegrelerden alınacak pulsların genişlikleri ayarlanabilmektedir; puls genişliğini düzenleme işlemi bir direnç ve kapasite kullanarak yapılmaktadır. Ancak burada 74LS121 entegresinin R_{INT} girişini kullanarak herhangi bir direnç veya kapasite kullanmaya gerek kalmadan BAŞLA ve DURMA pulsları geldiğinde 74LS121 'ler 40 nanosaniyelik bir puls verecek biçimde kullanılmıştır. BAŞLA pulsu geldiğinde 1 nolu 74LS121 ve DURMA pulsu geldiğinde 2 nolu 74LS121 40 nanosaniyelik puls üretecektir. 40 nanosaniye genişliğinde düzenlenmiş ONE SHOT çıkışları 3(b) nolu "VEYA" kapısı (OR gate) girişine verilir ve "VEYA" kapısının çıkışında ardarda gelen 40 nsn genişliğindeki pulslar elde edilir. Bu pulslar, TOGGLE olarak çalışacak biçimde düzenlenmiş 4 nolu J-K Flip-Flop 'unun (74LS109) saat (clk) girişine uygulanır. 4 nolu J-K Flip-Flop entegresinin Q çıkışı ilk önce "0" durumundadır yani hiç bir çıkış yoktur. BAŞLA ve DURMA pulsu geldiğinde 3(b) nolu VEYA kapısının çıkışında oluşan 40 nanosaniyelik ardarda iki darbeden ilki geldiğinde 4 nolu J-K Flip -Flop 'unun Q çıkışı "1" durumuna (lojik 1 = + 5 volt) gelir ve ikinci puls geldiğinde Q çıkışı tekrar "0" durumuna döner. 4 nolu entegrenin Q çıkışının "1" durumunu koruduğu süre ölçülmek istenen zaman aralığıdır. Bu, şekil 2.13(d)' de gösterilmiştir. 4 nolu J-K Flip-Flop 'unun Q çıkışında elde edilen bu puls, 200 nanosaniyelik T periyoduna sahip referans osilatör pulsları ile birlikte 5(c) nolu VE kapısının (AND gate) girişine uygulanır. J-K Flip-Flop'unun Q çıkışının "1" olduğu anda 5(c) nolu VE kapısının çıkışında ölçülmek istenen zaman aralığına yerleşmiş şekil 2.13 (e) 'de verilen T periyodlu osilatör pulsları görülür. 5 (c) nolu "VE" kapısının çıkışı şekil 3.4 'de gösterilen 1 nolu sayıcı devresinin saat (clk) girişine verilir ve ölçülmek istenen zaman aralığına yerleştirilen T periyodlu referans osilatör pulslarının (n)

sayısı tespit edilir.

Lineer interpolasyon yönteminin temelini teşkil eden hataların tespit işlemi de bu devre tarafından yapılmaktadır. Devrede başlangıçtaki ve bitimdeki hatalı bölgeleri tespit eden kısımlar birbirlerinin aynı olduğu için sadece başlangıçtaki hatayı tespit eden kısmı anlatılacaktır. Bu kısımda kullanılan 4013 entegresi bir D FLİP-FLOP 'olup, saat (clk) girişine her puls geldiği zaman INPUT girişinde "0" varsa çıkışta "0" , INPUT girişinde "1" varsa çıkışta "1" görülür. Öncelikle ölçüm alınmadan önce tüm sistem temizlendiği için 6 nolu 4013 entegresinin Q çıkışı "0", ters Q çıkışı "1" durumundadır. Ters Q çıkışı 7(b) nolu "VE" kapısının (AND gate) girişlerinden birine uygulanır. Sistemin "Start" girişi 4013 entegresinin girişine ve aynı zamanda 7(b) nolu "VE" kapısının diğer girişine uygulanır. Herhangi bir Start pulsu gelmeden önce D FLİP-FLOP 'un ters Q çıkışı "1" ve 7(b) nolu "VE" kapısının çıkışı "0" olur. "Start" pulsu geldiği anda 7(b) nolu "VE" kapısının çıkışı "1" olur. "Start" pulsunun gelmesinden sonra gelecek ilk referans osilatör pulsuyla 6 nolu 4013 entegresinin ters Q çıkışı "0" durumuna düşer ve buna bağlı olarak 7(b) nolu "VE" kapısının çıkışı da "0" durumuna düşer. İste 7(b) nolu "VE" kapısının çıkışının "1" olduğu süre zaman aralığını ölçerken başlangıçta yapılan hata miktarı kadardır.

Ölçülecek zaman aralığının başlangıcında yapılan hatalı zaman dilimi tespit edildikten sonra sıra bu hatalı zaman dilimini önceden tespit edilen oranda büyütme işlemine geldi. Bu çalışmada büyütme oranını 1000 olarak seçildi. Dizayn edilen devrede bu işlemi yapabilmek için biri diğerinden 1000 kat büyük iki osilatör gereklidir. Bu iki osilatörün frekansları $f_2=20$ KHz ve $f_3=20$ MHz olarak seçilmiştir. 7(b) nolu "VE" kapısının çıkışında

hatalı zaman dilimi genişliğinde puls elde edilmişti; bu "VE" kapısının çıkışı ileri ve geri sayma yapabilen 4 bitlik sayıcının (4510 Up/Down COUNTER) Up/Down girişine uygulanır. 4510 sayıcısının Up/Down girişi "1" olduğunda ileriye ve "0" olduğunda geriye sayma işlemi yapılır. 7(b) nolu "VE" kapısının çıkışı "1" olduğu sürede 4510 sayıcısı ileriye doğru sayma konumundadır. Aynı zamanda 8(b) nolu "VE" kapısının çıkışında 20 MHz 'lik osilatör puls-ları görülür. Bu puls-lar 8(a) nolu "VE" kapısından geçerek 10 nolu sayıcının saat (clk) girişine uygulanır. 20 MHz 'lik bu osilatör puls-larının geçişi 7(b) nolu "VE" kapısının çıkışında elde edilen hatalı zaman süresince olur. Böylece bu küçük zaman dilimine yerleştirilmiş 20 MHz 'lik osilatör puls-larının sayısı 10 nolu sayıcının Q₁, Q₂, Q₃ ve Q₄ çıkışlarında görülür. Bu durumda 11(a) nolu 4 girişli "VEYA" kapısının girişlerinden en az biri mutlaka "1" olacağından bu "VEYA" kapısının çıkışı da "1" olur. Böylece 7(b) nolu "VE" kapısının çıkışında elde edilen hatalı zaman dilimi genişliğindeki pulsun ardından 8(d) nolu "VE" kapısının çıkışı "1" durumuna yükselir. Aynı zamanda 10 nolu sayıcının Up/Down girişi "0" olduğundan sayıcı geriye doğru sayma konumuna geçer. Böylece 8(c) nolu "VE" kapısının çıkışında 20 KHz 'lik osilatör puls-ları görülür ve bu puls-lar 8(a) nolu "VE" kapısından geçerek 10 nolu sayıcıyı geriye doğru saydırır. Daha önce 20 MHz 'lik puls-larla ileri yönde saydırılan sayıcı 20 KHz 'lik puls-larla 11(a) nolu "VEYA" kapısının çıkışı "0" oluncaya kadar geri saydırılır. Böylece 7(b) nolu "VE" kapısının çıkışında elde edilen hatalı zaman dilimi genişliğindeki pulsun 1000 katı büyüklüğündeki puls 11(a) nolu "VEYA" kapısının çıkışında elde edilir. İşte bu puls "Start" interpolatör pulsudur. Start interpolatör puls-u 5 MHz 'lik referans osilatörü ile birlikte 5(d) nolu "VE" kapısına uygulanırsa ve bu "VE" kapısının çıkışında "Start interpolatör" puls-u içine

yerleşmiş 5 MHz 'lik referans osilatör pulsarı görölür. 5(d) nolu "VE" kapısının çıkışı şekil 3.4 'deki 2 nolu sayıcı devresinin saat (clk) girişine uygulanır ve bu pulsaların sayısı tespit edilir.

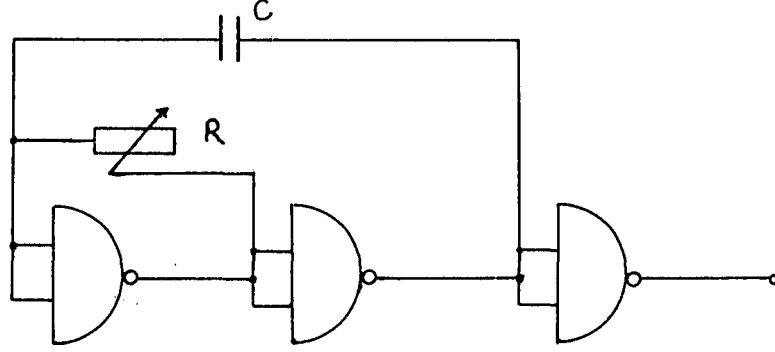
Yapılan bu işlemlerin aynısı başka bir devre tarafından, ölçülecek zaman aralığının bitiminde yapılan hatalı zaman diliminin tespiti için tekrarlanır ve 5(b) nolu "VE" kapısının çıkışında bitişte yapılan hata diliminin 1000 kat büyütölmesiyle elde edilen Stop interpolatör pulsunun içine yerleşmiş 5 MHz 'lik referans osilatör pulsarı elde edilir. 5(b) nolu "VE" kapısının çıkışı şekil 3.4 'deki 3 nolu sayıcı devresinin saat (clk) girişine uygulanır ve bu pulsaların sayısında tespit edilir.

3.2. Osilatörler

Bütün zaman aralık ölçme yöntemleri incelenirken değişik frekanslarda ve değişik periyotlarda sinyallerden bahsedildi, bu sinyallerin tümü değişik tekniklerle dizayn edilmiş osilatörler ile üretilmektedir. Bu bölümde incelenen osilatörler Lineer Interpolasyon yönteminde kullanılan 20 KHz, 5 MHz ve 20 MHz 'lik osilatörlerdir.

Bir önceki bölümde de bahsedildiği gibi Lineer interpolasyon yönteminde farklı frekanslarda üç osilatör kullanılmaktadır. Düşük frekanslı osilatörler bilinen basit lojik kapıları ile yapılabilir. Lojik kapılara direnç ve kapasite ilavesiyle yapılan osilatörlerin kararlılıkları çok kötüdür. Küçük ısı değişiklikleri ile elde edilen pulsaların genlikleri çok çabuk değişebilmektedir. Bu kötü etki, düşük frekanslı osilatörler için gözönüne alınmayabilir ve bu projede kullanılan 20 KHz 'lik osi-

NAND Gate 4011

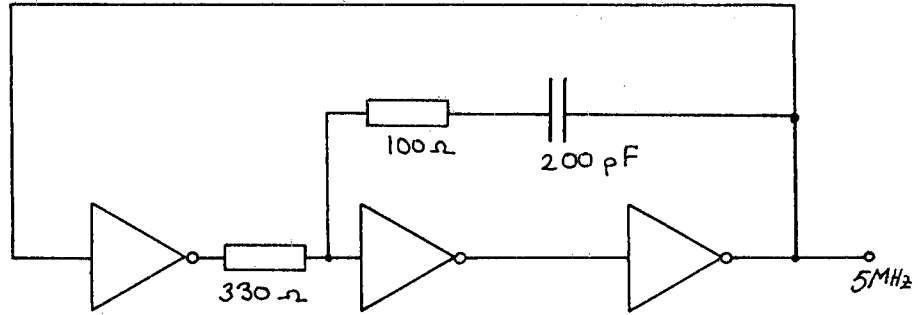


Şekil 3.1. 20 KHz 'lik osilatör pulsu üretecek osilatör devresinin dizaynı.

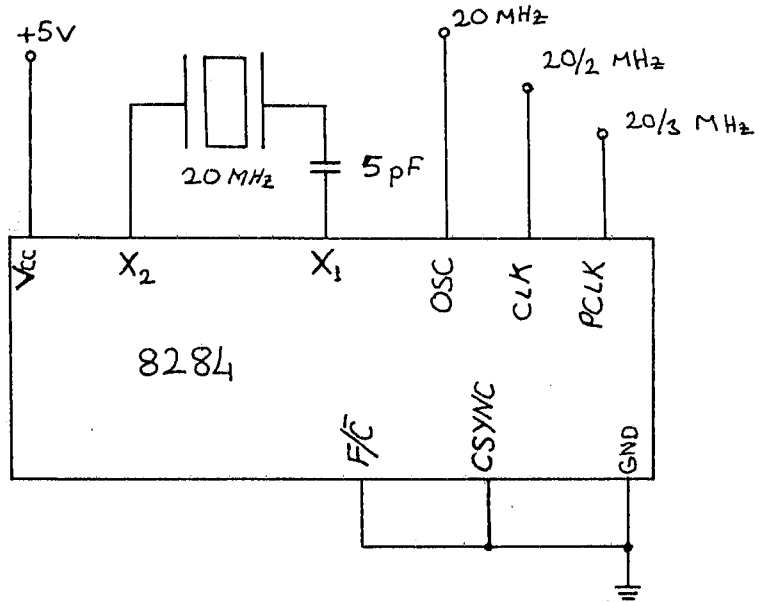
latörü bu şekilde dizayn edilmiştir. "VEDEĞİL" (NAND gate) kapısı direnç ve kapasiteler ile dizayn edilen bu devre Şekil 3.1 'de verilmiştir.

Yüksek frekanslarda çalışan lojik kapıları ile pizo elektrik kristaller kullanarak kararlılığı biraz daha iyi olan osilatörler yapmak mümkündür. Devrede kullanılacak olan 5 MHz 'lik referans osilatörünün devre dizaynı şekil 3.2 'de verilmiştir. Bu projede ayrıca 20 MHz 'lik üçüncü bir osilatöre de ihtiyac vardır. Çok yüksek frekanslı sinyal üretebilecek osilatörler genellikle yüksek frekans transistörleri, bobinler ve kristaller kullanılarak gerçekleştirilirler. Ancak 20 MHz 'lik pulslar 8284 CLOCK GENERATOR entegresi ile elde edilmektedir. Çıkış pulsunun frekansı, bu entegreye dıştan bağlanacak pizo elektrik kristalin titreşim frekansına bağlıdır. 20 MHz'lik bir kristal kullanarak 8284 entegresinin çıkışından 20 MHz 'lik osilatör pulsları elde edilir. Şekil 3.3 'de 20 MHz 'lik osilatör pulsları verecek osilatörün devre dizaynı verilmiştir.

N_1, N_2, N_3 74HC04



Sekil 3.2. 5 MHz 'lik osilatör pulslarını üretecek osilatör devresi.

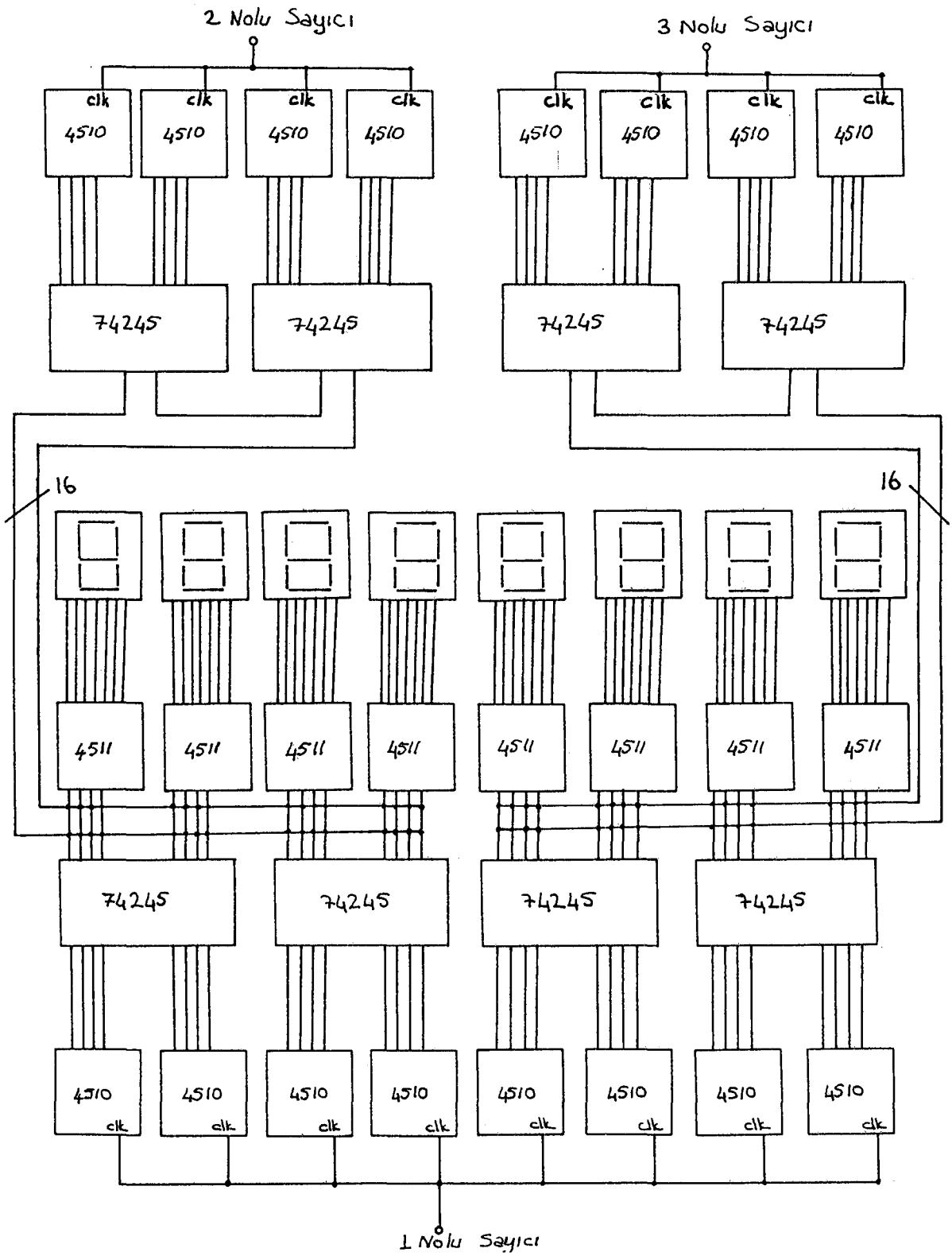


Sekil 3.3. 20 MHz 'lik osilatör pulsları üretecek osilatör devresi.

3.3 Sayıcı Ve Display Sürücü Devreler

Linear interpolasyon yöntemini kullanarak zaman aralığı ölçen devrenin ikinci kısmı sayıcı ve display sürücülerinin bulunduğu kısımdır. Sayılması gereken üç puls grubu vardır. Birinci grupta ölçülmek istenen zaman aralığına yerleştirilen referans osilatör pulsları ile ikinci ve üçüncü grupta ise ölçülmek istenen zaman aralığının başlangıcında ve bitiminde yapılan hatalı zaman dilimlerinin seçilen oranda büyütülerek içine yerleştirilen referans osilatör pulsları bulunmaktadır. Bu durumda üç ayrı sayıcı gruba ihtiyaç olacaktır. Dizayn edilen sayıcı devresinin sayma kapasitesinin 9 basamak olması tasarlanmıştır. Ayrıca "BUFFER" 'lar kullanılarak üç sayıcı grubu için aynı display grubunun kullanılması sağlanmıştır. Bu dizayn edilen sayıcı devresinin çalışması şekil 3.4'de gösterilmiştir.

Sayıcı grupları 4510 COUNTER entegrelerinden oluşturulmuştur. Birinci grup pulsların sayılması için şekil 2.14 'deki 5(c) nolu "VE" kapısının çıkışı şekil 3.4'deki birinci sayıcı grubunun 1 nolu 4510 sayıcısının saat (clk) girişine uygulanır. 1 nolu 4510 sayıcısının Cout çıkışı, 2 nolu 4510 sayıcısının Cin girişine uygulanır. Bu birleşim 9 nolu 4510 sayıcısına kadar yapılır. 4510 sayıcısının doğruluk tablosu çizelge 3.1 'de verilmiştir. Ayrıca şekil 2.14 'deki ikinci ve üçüncü puls gruplarının olduğu 5(d) ve 5(b) nolu VE kapısı çıkışları da şekil 3.4 'deki ikinci ve üçüncü sayıcı gruplarındaki 1 nolu 4510 entegrelerinin saat (clk) girişlerine uygulanır. Birinci grup sayıcıların çıkışı, birinci grup bufferlerin girişine; ikinci ve üçüncü grup sayıcıların çıkışı ikinci grup bufferlerin girişine uygulanır. Bu bufferlerin çıkışları da 9 adet 4511 Display sürücü entegresinden oluşan sürücü katının girişlerine bağlanır. İki buffer



Şekil 3.4. Sayıcı ve display sürücü devrelerin dizaynı

grubundan hangisi aktif seçilirse, aktif seçilen bufferlerin girişindeki bilgiler display sürücü katının girişine uygulanmış olur. Böylece displayde birinci, ikinci veya üçüncü puls gruplarındaki pulsların sayısı görülür. Cihazın göstergesinde hangi grup pulsların sayısı görülmek isteniyorsa o sayıcı grubunun bağlı olduğu 74245 bufferleri aktif duruma getirilmelidir. 4511 Display sürücü ve 74245 Buffer entegrelerinin doğruluk tabloları çizelge 3.2 ve çizelge 3.3 'de verilmiştir.

CLOCK	RESET	PRESET ENABLE	CARRY IN	UP/DOWN	OUTPUT FUNCTION
X	1	X	X	X	Reset to zero
X	0	1	X	X	Set to P1,P2,P3,P4
	0	0	0	1	Count up
	0	0	0	0	Count down
	0	0	X	X	No change
X	0	0	1	X	No change

Çizelge 3.1. 4510 sayıcısının doğruluk tablosu

INPUTS							OUTPUTS							
LE	BI	LT	D	C	B	A	a	b	c	d	e	f	g	DISPLAY
X	X	0	X	X	X	X	1	1	1	1	1	1	1	8
X	0	1	X	X	X	X	0	0	0	0	0	0	0	0
0	1	1	0	0	0	0	1	1	1	1	1	1	0	0
0	1	1	0	0	0	1	0	1	1	0	1	0	0	1
0	1	1	0	0	1	1	1	1	1	1	0	0	1	1
0	1	1	0	1	0	1	1	0	1	1	0	1	1	1
0	1	1	0	1	1	0	0	0	1	1	1	1	1	6
0	1	1	0	1	1	1	1	1	1	0	0	0	0	7
0	1	1	1	0	0	0	1	1	1	1	1	1	1	8
0	1	1	1	0	0	1	1	1	1	0	0	1	1	9

Çizelge 3.2. 4511 Display sürücünün doğruluk tablosu.

ENABLE	DIRECTION CONTROL	OPERATION

E	DIR	

0	0	B data to A
0	1	A data to B
1	X	Isolation

Çizelge 3.3. 74245 entegresinin doğruluk tablosu.

BÖLÜM 4

VERNIER INTERPOLASYON YÖNTEMİ KULLANILARAK GERÇEKLEŞTİRİLEN DEVRE

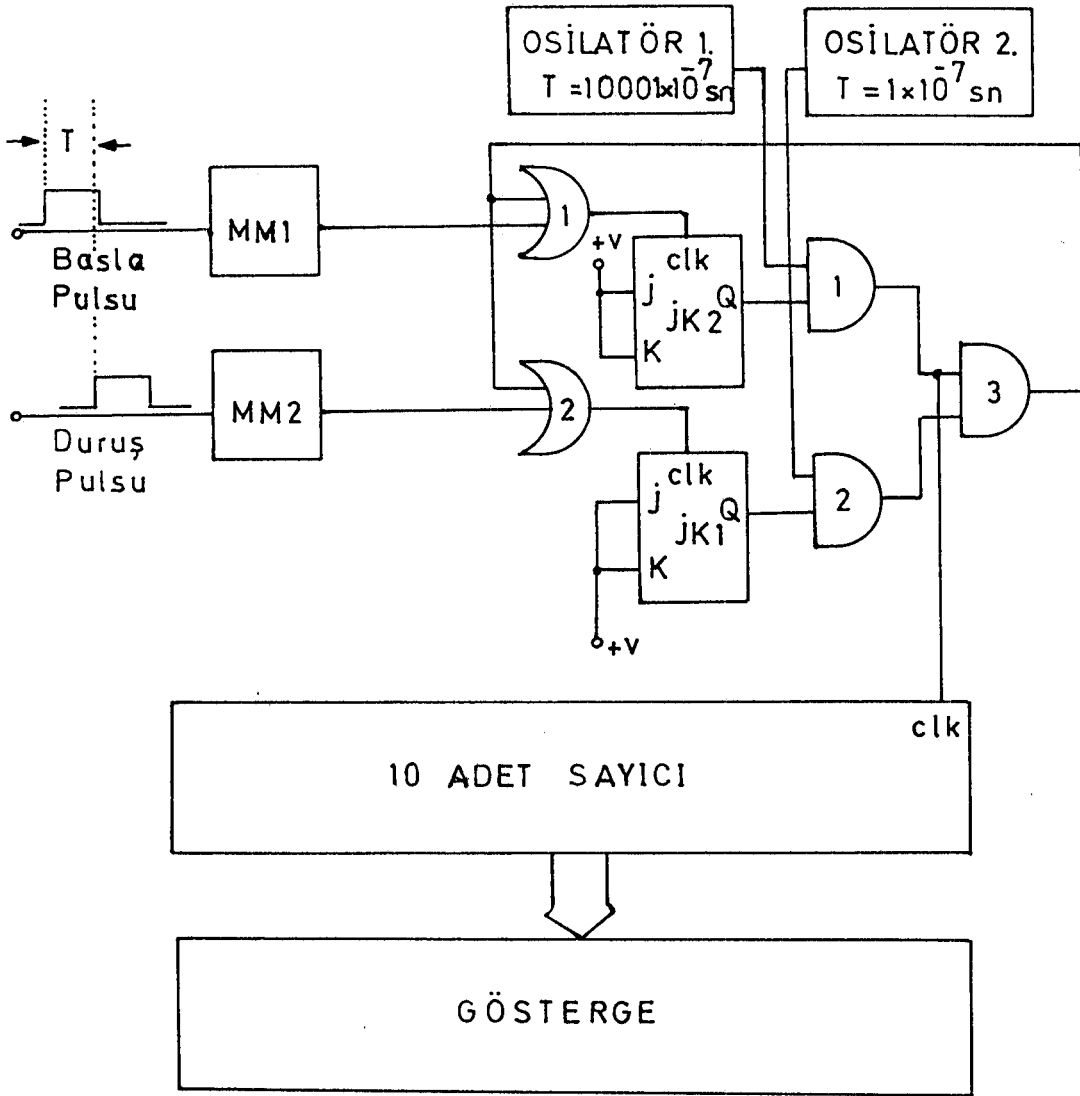
Lineer interpolasyon yönteminde olduğu gibi Vernier interpolasyon yöntemini kullanarak zaman aralığını ölçen devrede iki bölüme ayrılarak incelenebilir. Birinci bölümde periyodları arasında çok küçük fark bulunan iki adet osilatör ve BAŞLA-DURMA pulslarının düzenlendiği devreler mevcuttur. BAŞLA pulsu ile osilatörlerden biri ve DURMA pulsu ile de diğeri çalışır. İki osilatör pulslarının birbirleriyle çakıştığı ilk pulslarında bu iki osilatörde çalışmasını durdurur. Bu süre içinde her iki osilatörün üreteceği pulsların sayısı eşittir. Ancak BAŞLA ve DURMA pulsları arasındaki maksimum zaman aralığı frekansı küçük olan osilatörün periyodu kadar olabilir. Yani bu yöntemle frekansı küçük olan osilatörün periyodundan daha büyük bir zaman aralığını ölçmek mümkün değildir.

İkinci bölümde pulsların sayım işlemi yapılır. Bu sayıcı devresi, Lineer Interpolasyon Yöntemiyle zaman aralığı ölçen sayıcı devresi ile aynıdır.

4.1 Devrenin Genel Yapısı Ve Çalışması

Şimdi Vernier interpolasyon metodunun işleyişi şekil 4.1 ve şekil 4.2 üzerinde gösterilerek açıklanmıştır.

BAŞLA pulsu geldiğinde şekil 4.1 'deki MM1 (Tek Darbe Üretici) ayarlanan genişlikte bir puls üretir. Üretilen bu pulsun genişliği giriş pulsunun genişliğinden bağımsızdır. MM1 'in puls genişliği devrede kullanılacak iki osilatörün frekanslarına bağlı olarak ayarlanır.

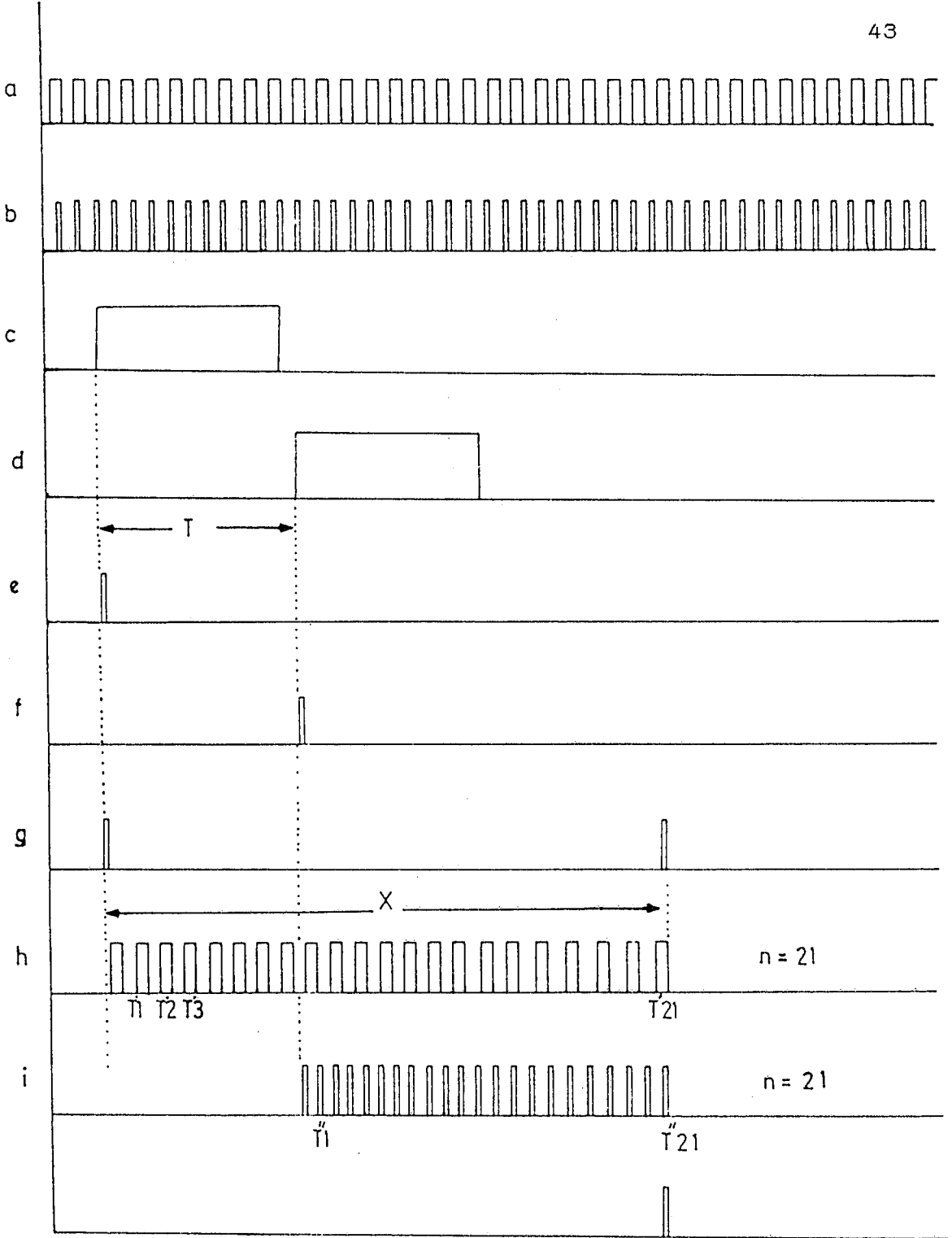


Şekil 4.1. Vernier Interpolasyon Yönteminin devre dizaynı.

Buda BAŞLA ve DURMA pulsları arasında ölçülebilecek minimum zaman sınırını belirler. MM1 'in çıkışı 1 nolu "VEYA" kapısının girişine uygulanır ve "VEYA" kapısının diğer girişi başlangıçta (0) olduğu için 1 nolu "VEYA" kapısının çıkışında MM1 'in ürettiği puls aynen görülür. Bu

pulsula "TOGGLE" olarak çalışacak bir biçimde düzenlenmiş 2 nolu J-K FLIP-FLOP tetiklenir ve (0) durumundan (1) durumuna geçer, 2 nolu J-K FLIP-FLOP 'un Q çıkışının (1) durumu 3 nolu "VE" kapısının çıkışında bir puls oluşuncaya kadar sürer. Bu Q çıkışının (1) olması ile 1 nolu "VE" kapısının çıkışında T_1 periyotlu osilatör pulsları görülür. DURMA pulsu geldiğinde aynı şekilde MM2, ayarlanan genişlikte puls üretir. Bu puls 2 nolu "VEYA" kapısından geçerek TOGGLE olarak çalışacak bir biçimde düzenlenmiş 1 nolu J-K FLIP FLOP 'u tetikler ve Q çıkışı (0) durumundan (1) durumuna geçer. Böylece 2 nolu "VE" kapısının çıkışında T_2 periyotlu osilatör pulsları görünür. 1 nolu J-K 'nın Q çıkışının bu durumu 2 nolu J-K 'da olduğu gibi 3 nolu "VE" kapısının çıkışında bir puls oluşuncaya kadar devam eder. 1 ve 2 nolu "VE" kapılarının çıkışı 3 nolu VE kapısının girişine uygulanır. Böylece T_1 ve T_2 periyotlu osilatör pulslarının birbirine rast gelen ilk pulsuyla 3 nolu "VE" kapısının çıkışında bir puls oluşur. İşte bu puls 1 ve 2 nolu J-K FLIP FLOP 'larının Q çıkışlarını (0) durumuna getirir Böylece 1 ve 2 nolu "VE" kapılarının çıkışları (0) olur. 1 nolu VE kapısının çıkışı SAYICI 'ların saat (clk) girişine bağlı olduğu için J-K FLIP FLOP 'larının çıkışının (1) olduğu süre içerisinde 1 nolu "VE" kapısının çıkışında oluşan ve şekil 4.2(h) 'de de görülen T_1 periyotlu pulsların sayısı (n) tespit edilir. 1 ve 2 nolu "VE" kapılarının çıkışlarında görülen T_1 ve T_2 periyotlu pulsların sayıları eşit olduğundan sadece birinin çıkışındaki pulsları saymak yeterlidir.

Yapılan bu puls sayımından sonra ölçülecek zaman aralığını tespit etmek çok basittir. Yapılacak işlem, sayfa 18 'de verilen 2, 3, 4 ve 5 nolu formülleri kullanarak gereken hesaplamaları yapmaktır.



Şekil 4.2. Vernier interpolasyon Metodunda zaman diagramı. a) T_1 periyodlu osilatör puls ları, b) T_2 periyodlu osilatör puls ları, c) BAŞLA puls u, d) DURUŞ puls u, e), f) MM1 ve MM2'nin çıkışı, g) 1 nolu VEYA kapısının çıkışı, h) 1 nolu VE kapısının çıkışı, i) 3 nolu VE kapısının çıkışı.

4.2 Osilatörler

Vernier interpolasyon Yöntemiyle zaman aralık ölçümü yapan bu cihazın tasarımında yöntemin gerektirdiği gibi iki adet osilatör kullanılmıştır. Bu osilatörlerin periyodları arasında çok küçük bir fark vardır, biri diğerinden % 0.1 kadar büyüktür. Bu devrede kullanılan iki osilatör de basit lojik kapıları ile dizayn edilmiştir. Bu osilatör devreleri şekil 3.1 ve şekil 3.2 deki osilatör devreleriyle aynıdır, sadece farklı periyotlarda puls lar elde edebilmek için kullanılan direnç ve kapasite değerleri değişiktir.

4.3 Sayıcı Ve Display Sürücü Devre

Lineer interpolasyon Yönteminde kullanılan (bakınız sayfa 36) ve özellikleri şekil 3.4 'de gösterilen sayıcı devre tasarımı aynen Vernier interpolasyon yönteminde de kullanılmıştır.

BÖLÜM 5

SONUÇ VE ÖNERİLER

Bu tez çalışmasında incelenen zaman aralık ölçümü yöntemlerinin tümünde hata payı mutlaka gözönünde tutulmalıdır. Amaç, kullanılan metodda zaman aralığını en az hata ile ölçmektir. Zaman aralığı ölçümlerinde kullanılan yöntemlerin çokluğu büyük bir avantaj sağlamaktadır. Çeşitli araştırma alanlarında, ölçülecek zaman aralığının büyüklüğü gözönüne alınarak ölçüm sonucunu çok hassas verebilecek bir şekilde yöntemler geliştirilmiştir.

Özellikle nanosaniye mertebesindeki zaman aralıklarının ölçümü oldukça zordur. Bu tür çalışmalarda mutlaka çok yüksek frekanslı osilatör pulslarına ihtiyaç vardır. Yüksek frekanslarda çalışacak devrelerde mutlaka hızlı transistörler, hızlı entegreler ve toleransı çok küçük dirençler kullanılmalıdır. Özellikle osilatör devrelerinde üretilen pulsların periyodlarında ısı ile herhangi bir değişim söz konusu olmamalıdır.

Deneysel çalışması yapılan Vernier ve Lineer Interpolasyon yöntemleriyle değişik zaman aralıkları ölçülüp sonuçlar aşağıdaki çizelgelerde verilmiştir. Deneysel çalışmada ölçülmek istenen zaman aralıkları bir puls jeneratörü kullanılarak ayarlanmıştır.

Çizelgelerdeki sonuçlar incelendiği zaman Lineer Interpolasyon yöntemiyle ölçümlerin daha hassas olduğu ortaya çıkar. Bunun nedeni, ölçülecek zaman diliminin başlama ve bitiş noktalarında yapılan hataların çok iyi bir şekilde bertaraf edilmesinden ileri gelir.

Ayarlanan zaman aralığı (T) $f_1 = 99900$ Hz ve $f_2 = 100\ 000$ Hz olarak alınmıştır
 $T = (1/f_1) - (1/f_2) = 1.001 \cdot 10^{-8}$ saniye

(T)	n	Ölçülen zaman aralığı = T n	
100 ns	9	90.090	ns
150 ns	14	140.014	ns
200 ns	21	210.021	ns
1 μ s	95	0.95095	μ s
5 μ s	450	4.50450	μ s

Çizelge 5.1. Vernier interpolasyon Yöntemiyle yapılan zaman aralık ölçümü sonuçları.

Ayarlanan zaman aralığı (T) $f = 5$ MHz ve $T = 200$ ns olarak seçilmiştir.

(T)	n	n'	n''	$T' = n T + (n' T - n'' T)/1001$
300 ns	1	525	55	293.90 ns
500 ns	3	19	440	515.88 ns
1 μ s	5	105	190	0.9830 μ s
10 μ s	55	3060	4050	10.800 μ s
100 μ s	514	2615	4705	102.00 μ s

Çizelge 5.2. Lineer interpolasyon Yöntemiyle yapılan zaman aralık ölçümü sonuçları.

Vernier interpolasyon yönteminde kullanılan ve frekansları birbirinden çok küçük farklılık gösteren osilatörlerin periyodlarının kesin değerinin belirlenemeyişi ΔT çarpanının hatalı bulunmasına neden olur. Örneğin bu yöntemle ilgili çalışmada $f_1=100$ kHz ve $f_2=999\ 000$ Hz seçmesine rağmen bu frekans değerlerinde 10 % 'luk bir değişim olabilmektedir. Bu sebepten dolayı Vernier interpolasyon yöntemiyle yapılacak zaman aralık ölçümlerinde alınan sonuçlar gerçek değerinden biraz farklı olabilmektedir.

Ayrıca ölçülecek zaman aralıkları puls jeneratörü ile pulslar arasında gecikme verilerek elde edilmektedir. Bu gecikme miktarı osiloskopta hesaplandığı için osiloskoptan okuma hatası da yapılmaktadır. Tüm bu hatalar birleşerek ölçüm sonucu elde edilen neticelere etki etmektedir.

Bu tez çalışmasında dizayn edilen devrelerle puls sayıları (n , n' , n'' , n''') tespit edilmektedir. Daha sonra bu sayılar kullanılarak zaman aralığı hesaplanmaktadır. Eğer dizayn edilen bu devrelere tam toplayıcı "Full adder", yarım toplayıcı "Half adder" ve bölücü devreler ilave edilirse ayrıyeten dışarıda hiçbir işlem yapmadan ölçülen zaman aralığı direk olarak dizayn edilen cihazın ekranından okunabilir. Diğer taraftan bir mikro işlemci yardımıyla sayıcı çıkışındaki bilgiler işlenerek zaman aralığını veren sonuç doğrudan elde edilebilir.

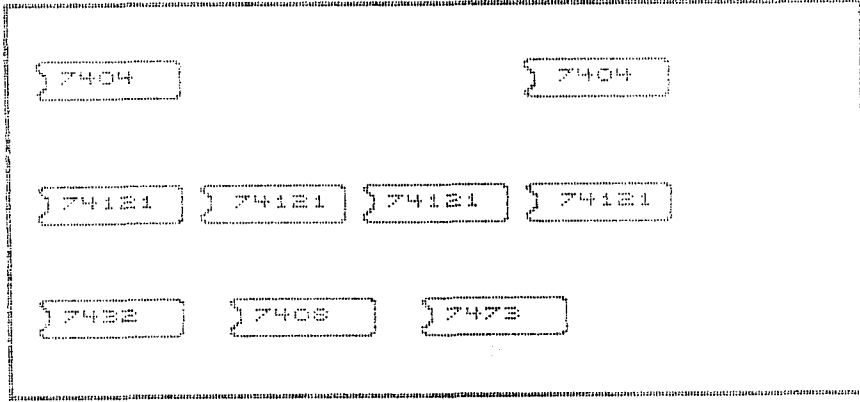
Bir zaman aralığını hatasız tespit etmek mümkün değildir. Asıl olan ölçülecek zaman aralığını en uygun yöntemi seçerek, en az hata ile tespit etmektir.

KAYNAKLAR

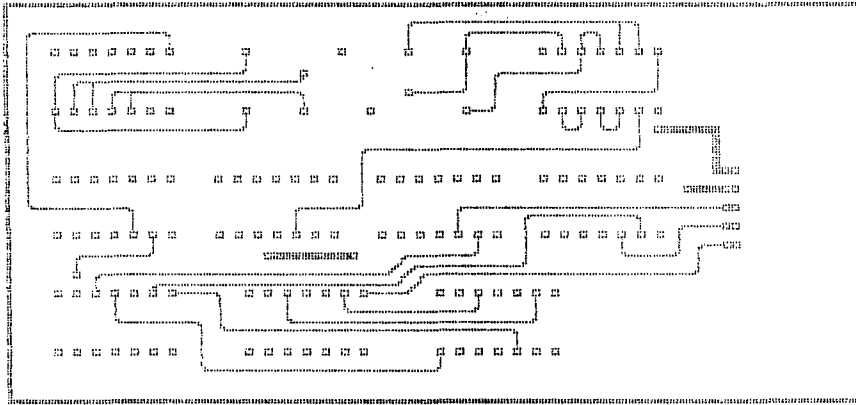
- (1) Kowalski, E., 1970, Nuclear Electronics, 72-98194
Berlin, 246-264 p.
- (2) Nicholson, P. W., 1973, Nuclear Electronics, london
281-292 p.
- (3) Meyling, W. and FRANZ Stary, F., 1968, Nanosecond
Pulse Techniques, Gordon and Breach, 68-59043,
219-239 p.
- (4) Kostamovara, J. and RISTO Myllyla, R., 1985, Nuclear
Instruments and Methods in Physics Research,
Amsterdam, 568-578 p.
- (5) Horowitz and Hill, 1980, The Art Of Electronics,
Cambridge University, 621-623 p.

EKLER

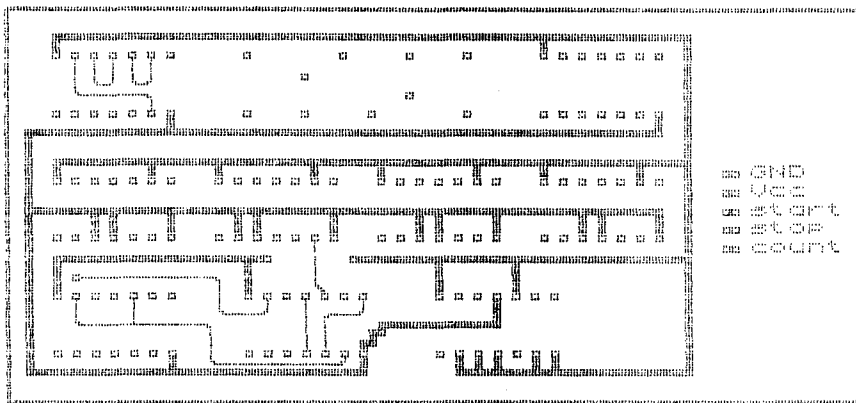
- EK.1. Lineer Interpolasyon Yönteminin Baskılı Devre çizimleri
- EK.2. Vernier Interpolasyon Yönteminin Baskılı Devre çizimleri
- EK.2. Dizayn Edilen Devrelerde Kullanılan Entegrelerin Özellikleri (4511, 4510, 4011, 4013, 4072, 4081, 7404, 74121, 7473, 74245, 8284)



Malzeme yerleşim seması

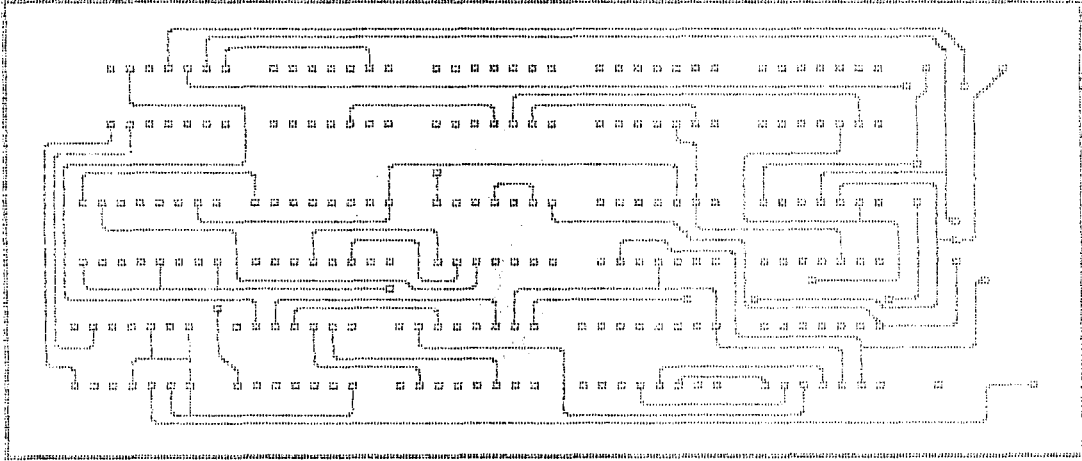


Alt yollar

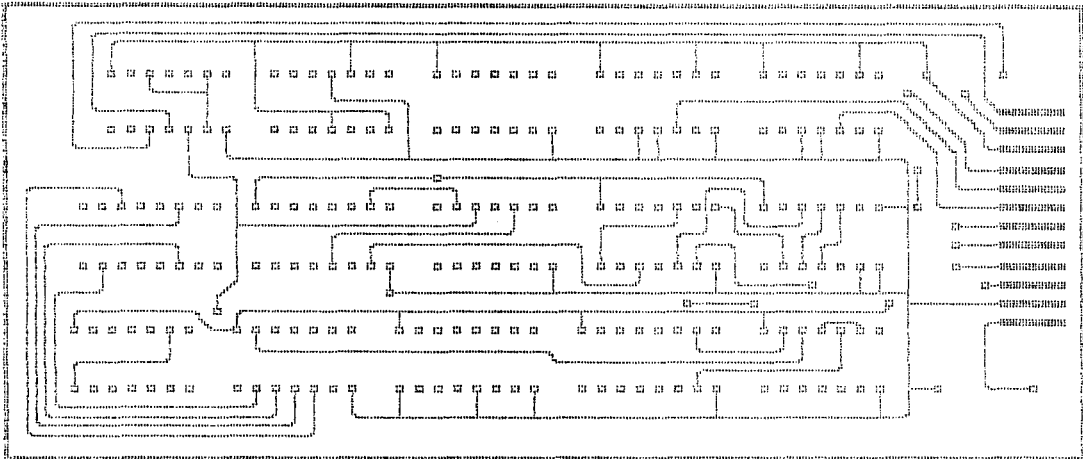


Üst yollar

Vernier Interpolasyon Yönteminin baskılı devre çizimleri

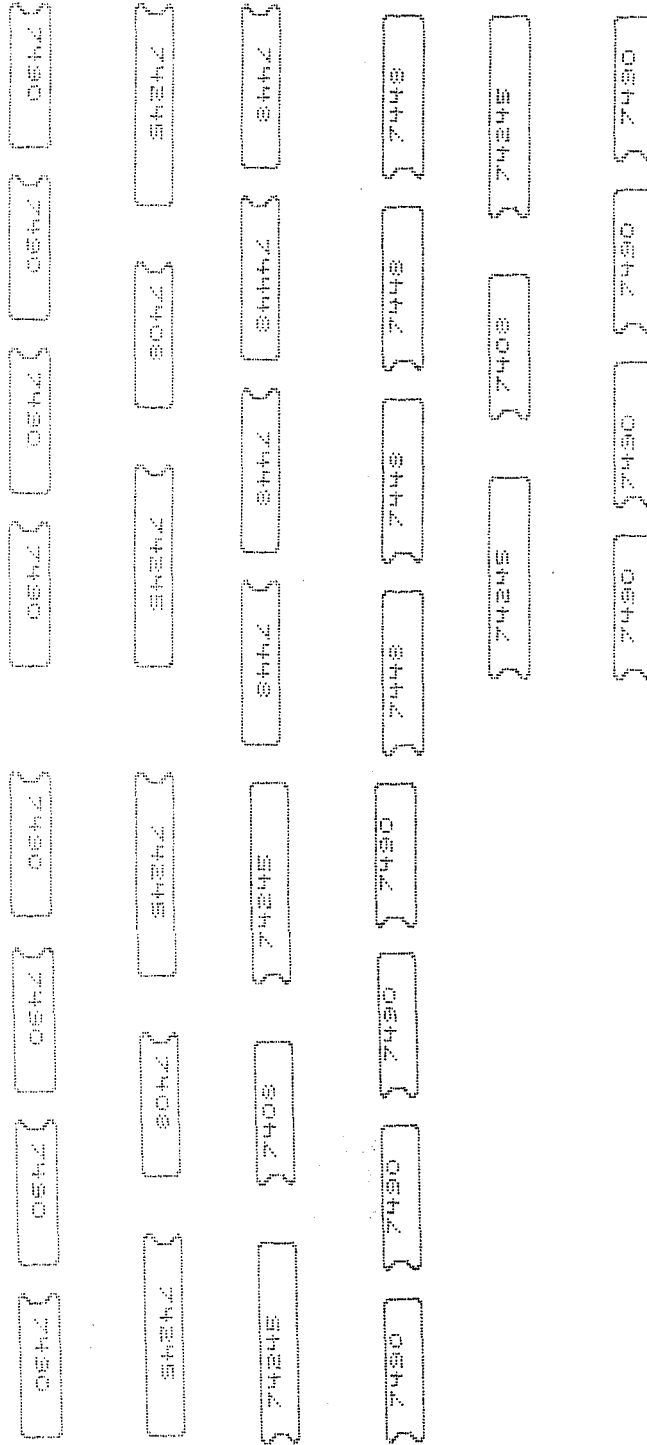


Alt yollar



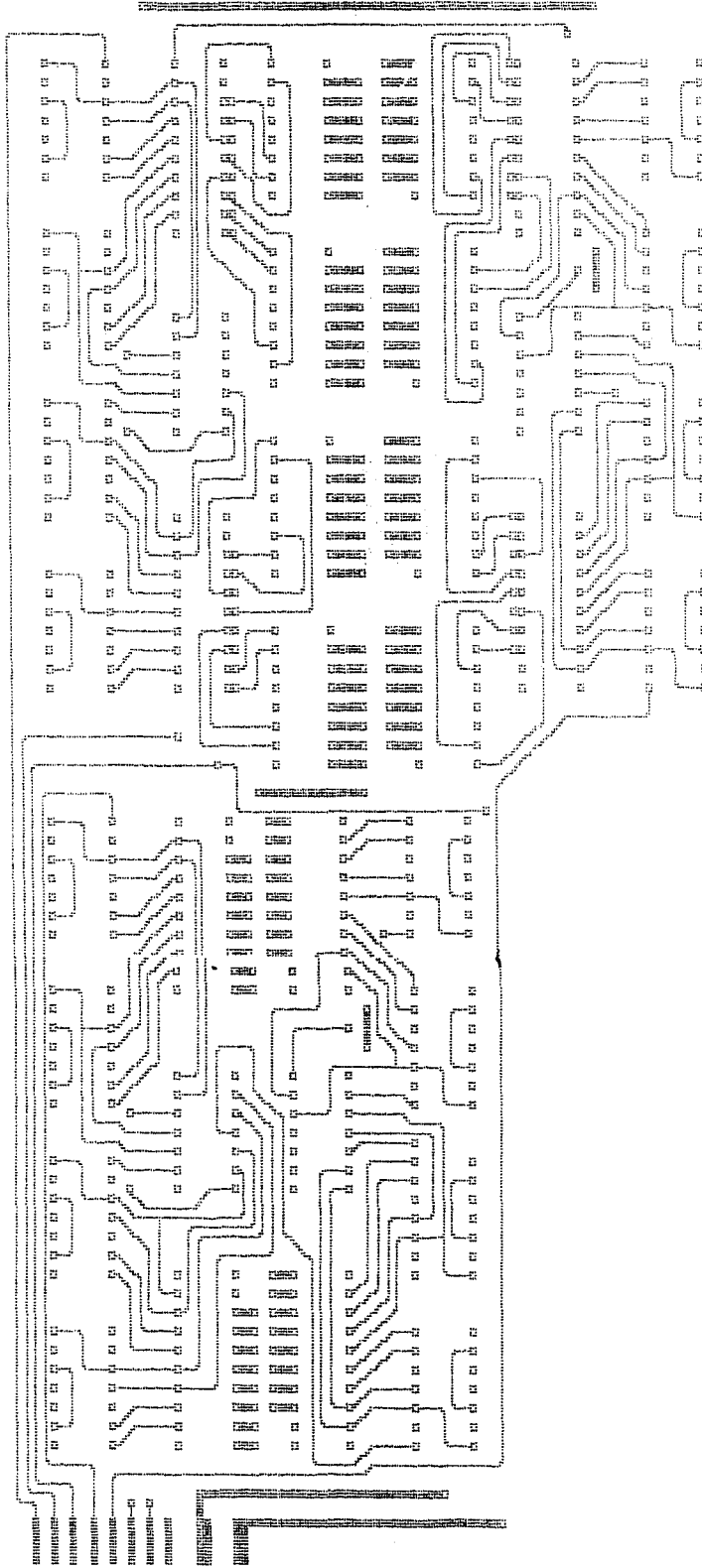
Üst yollar

Linear interpolasyon Yönteminin baskılı devre çizimleri



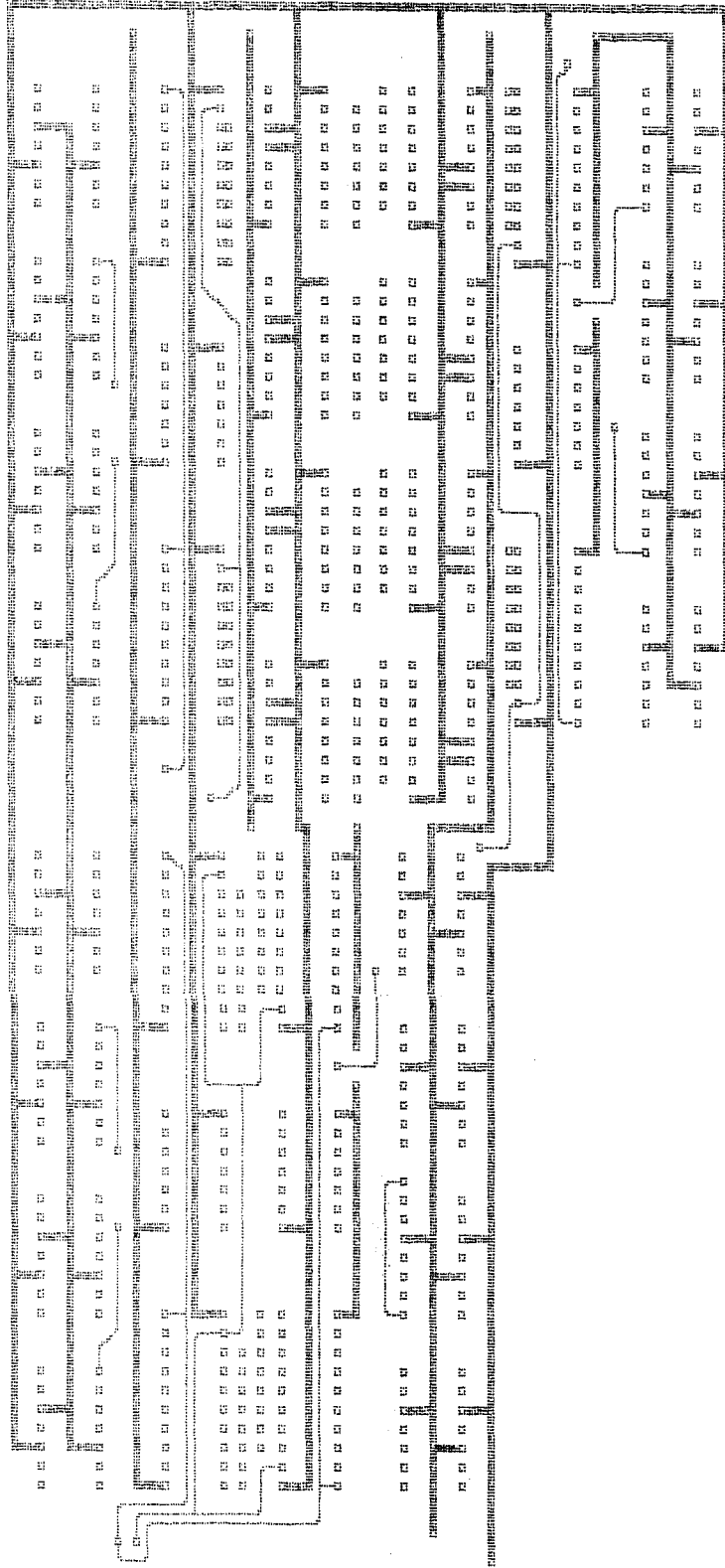
Malzeme yerleşim seması

Sayıcı ve Display Sürücü devrenin baskılı devre çizimleri



Alt yollar

Sayıcı ve Display Sürücü devrenin baskılı devre çizimleri



Ust yollar

Sayıcı ve Display Sürücü devrenin baskılı devre çizimleri



PRELIMINARY

8284 CLOCK GENERATOR AND DRIVER FOR 8086, 8088, 8089 PROCESSORS

- Generates the System Clock for the 8086, 8088 and 8089
- Uses a Crystal or a TTL Signal for Frequency Source
- Single +5V Power Supply
- 18-Pin Package
- Generates System Reset Output from Schmitt Trigger Input
- Capable of Clock Synchronization with other 8284's

The 8284 is a bipolar clock generator/driver designed to provide clock signals for the 8086, 8088 & 8089 and peripherals. It also contains READY logic for operation with two MULTIBUS™ systems and provides the processors required READY synchronization and timing. Reset logic with hysteresis and synchronization is also provided.

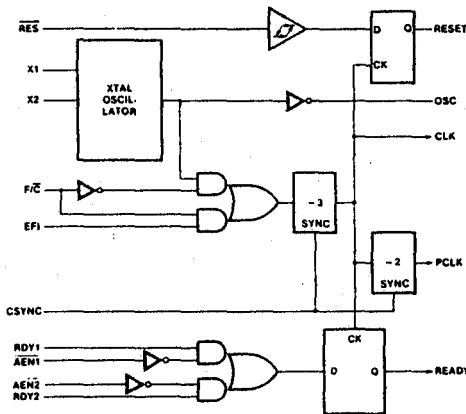


Figure 1. 8284 Block Diagram

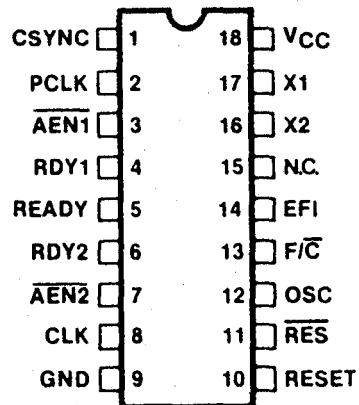


Figure 2. 8284 Pin Configuration

<p>X1, X2: CONNECTIONS FOR CRYSTAL</p> <p>F/C: CLOCK SOURCE SELECT</p> <p>EFI: EXTERNAL CLOCK INPUT</p> <p>CSYNC: CLOCK SYNCHRONIZATION INPUT</p> <p>RDY1, RDY2: READY SIGNAL FROM TWO MULTIBUS™ SYSTEMS</p> <p>AEN1, AEN2: ADDRESS ENABLED QUALIFIERS FOR RDY1,2</p>	<p>RES: RESET INPUT</p> <p>RESET: SYNCHRONIZED RESET OUTPUT</p> <p>OSC: OSCILLATOR OUTPUT</p> <p>CLK: MOS CLOCK (8086)</p> <p>PCLK: TTL CLOCK FOR PERIPHERALS</p> <p>READY: SYNCHRONIZED READY OUTPUT</p> <p>VCC: +5 VOLTS</p> <p>GND: 0 VOLTS</p>
---	--

8284 Pin Names

PIN DEFINITIONS

Pin	I/O	Definition	Pin	I/O	Definition
AEN1, AEN2	I	ADDRESS ENABLE. AEN is an active LOW signal. AEN serves to qualify its respective Bus Ready Signal (RDY1 or RDY2). AEN1 validates RDY1 while AEN2 validates RDY2. Two AEN signal inputs are useful in system configurations which permit the processor to access two Multi-Master System Busses. In non Multi-Master configurations the AEN signal inputs are tied true (LOW).	OSC	O	OSCILLATOR OUTPUT. OSC is the TTL level output of the internal oscillator circuitry. Its frequency is equal to that of the crystal.
RDY1, RDY2	I	BUS READY (Transfer Complete). RDY is an active HIGH signal which is an indication from a device located on the system data bus that data has been received, or is available. RDY1 is qualified by AEN1 while RDY2 is qualified by AEN2.	RES	I	RESET IN. RES is an active LOW signal which is used to generate RESET. The 8284 provides a Schmitt trigger input so that an RC connection can be used to establish the power-up reset of proper duration.
READY	O	READY. READY is an active HIGH signal which is the synchronized RDY signal input. Since RDY occurs asynchronously with respect to the clock (CLK) it may be necessary for them to be synchronized before being presented to the 8284. READY is cleared after the guaranteed hold time to the processor has been met.	RESET	O	RESET. Reset is an active HIGH signal which is used to reset the 8086 family processors. Its timing characteristics are determined by RES.
X1, X2,	I	CRYSTAL IN. X1 and X2 are the pins to which a crystal is attached. The crystal frequency is 3 times the desired processor clock frequency.	CSYNC	I	CLOCK SYNCHRONIZATION. CSYNC is an active HIGH signal which allows multiple 8284's to be synchronized to provide clocks that are in phase. When CSYNC is HIGH the internal counters are reset. When CSYNC goes LOW the internal counters are allowed to resume counting. CSYNC needs to be externally synchronized to EFI. When using the internal oscillator CSYNC should be hard-wired to ground.
F/C	I	FREQUENCY/CRYSTAL SELECT. F/C is a strapping option. When strapped LOW, F/C permits the processor's clock to be generated by the crystal. When F/C is strapped HIGH, CLK is generated from the EFI input.	GND		Ground
EFI	I	EXTERNAL FREQUENCY IN. When F/C is strapped HIGH, CLK is generated from the input frequency appearing on this pin. The input signal is a square wave 3 times the frequency of the desired CLK output.	Vcc		+5V supply
CLK	O	PROCESSOR CLOCK. CLK is the clock output used by the processor and all devices which directly connect to the processor's local bus (i.e., the bipolar support chips and other MOS devices). CLK has an output frequency which is 1/3 of the crystal or EFI input frequency and a 1/3 duty cycle. An output HIGH of 4.5 volts (Vcc=5V) is provided on this pin to drive MOS devices.	FUNCTIONAL DESCRIPTION GENERAL The 8284 is a single chip clock generator / driver for the 8086, 8088 & 8089 processors. The chip contains a crystal controlled oscillator, a "divide by three" counter, complete MULTIBUS™ "Ready" synchronization and reset logic. OSCILLATOR The oscillator circuit of the 8284 is designed primarily for use with an external series resonant, fundamental mode, crystal from which the basic operating frequency is derived. The crystal frequency should be selected at three times the required CPU clock. X1 and X2 are the two crystal input crystal connections. The output of the oscillator is buffered and brought out on OSC so that other system timing signals can be derived from this stable, crystal-controlled source.		
PCLK	O	PERIPHERAL CLOCK. PCLK is a TTL level peripheral clock signal whose output frequency is 1/2 that of CLK and has a 50% duty cycle.			

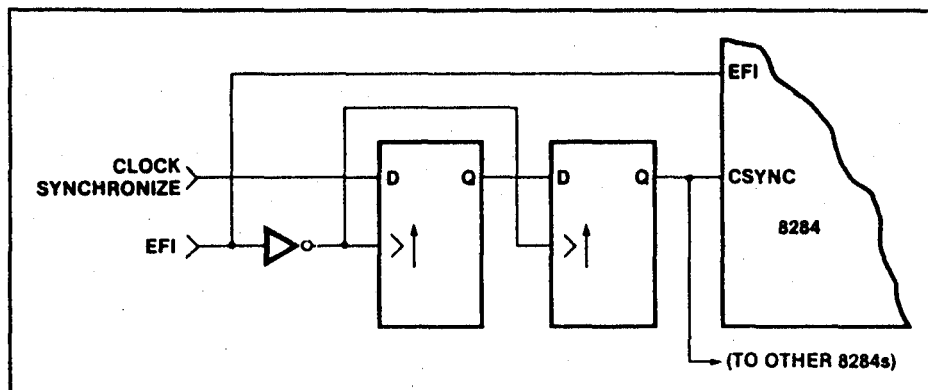


Figure 3. CSYNC Synchronization

CLOCK GENERATOR

The clock generator consists of a synchronous divide-by-three counter with a special clear input that inhibits the counting. This clear input (CSYNC) allows the output clock to be synchronized with an external event (such as another 8284 clock). It is necessary to synchronize the CSYNC input to the EFI clock external to the 8284. This is accomplished with two Schottky flip-flops. (See Figure 3.) The counter output is a 33% duty cycle clock at one-third the input frequency....

The F/\bar{C} input is a strapping pin that selects either the crystal oscillator or the EFI input as the clock for the +3 counter. If the EFI input is selected as the clock source, the oscillator section can be used independently for another clock source. Output is taken from OSC.

CLOCK OUTPUTS

The CLK output is a 33% duty cycle MOS clock driver designed to drive the 8086 processor directly. PCLK is a TTL level peripheral clock signal whose output frequency is 1/2 that of CLK. PCLK has a 50% duty cycle.

RESET LOGIC

The reset logic provides a Schmitt trigger input (\overline{RES}) and a synchronizing flip-flop to generate the reset timing. The reset signal is synchronized to the falling edge of CLK. A simple RC network can be used to provide power on reset by utilizing this function of the 8284.

READY SYNCHRONIZATION

Two READY inputs (RDY1, RDY2) are provided to accommodate two Multi-Master system busses. Each input has a qualifier ($\overline{AEN1}$ and $\overline{AEN2}$, respectively). The \overline{AEN} signals validate their respective RDY signals. If a Multi-Master system is not being used the \overline{AEN} pin should be tied LOW.

Synchronization is required for all asynchronous active going edges of either RDY input to guarantee that the RDY setup and hold times are met. Inactive going edges of RDY in normally ready systems do not require synchronization but must satisfy RDY setup and hold as a matter of proper system design. Synchronization may be accomplished by inserting a D flip flop between an asynchronous RDY source and the 8284 and clocking the flip flop on the rising edge of CLK. The 8284 READY logic guarantees the required 8086 READY hold time before clearing the READY signal.

ABSOLUTE MAXIMUM RATINGS*

Temperature Under Bias 0°C to 70°C
 Storage Temperature - 65°C to + 150°C
 All Output and Supply Voltages - 0.5V to + 7V
 All Input Voltages - 1.0V to + 5.5V
 Power Dissipation 1 Watt

**NOTICE:* Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. CHARACTERISTICS

Conditions: $T_A = 0^\circ\text{C}$ to 70°C ; $V_{CC} = 5\text{V} \pm 10\%$

Symbol	Parameter	Min	Max	Units	Test Conditions
I_F	Forward Input Current		- 0.5	mA	$V_F = 0.45\text{V}$
I_R	Reverse Input Current		50	μA	$V_R = 5.25\text{V}$
V_C	Input Forward Clamp Voltage		- 1.0	V	$I_C = - 5\text{ mA}$
I_{CC}	Power Supply Current		140	mA	
V_{IL}	Input LOW Voltage		0.8	V	$V_{CC} = 5.0\text{V}$
V_{IH}	Input HIGH Voltage	2.0		V	$V_{CC} = 5.0\text{V}$
V_{IHR}	Reset Input HIGH Voltage	2.6		V	$V_{CC} = 5.0\text{V}$
V_{OL}	Output LOW Voltage		0.45	V	5 mA
V_{OH}	Output HIGH Voltage CLK	4		V	- 1 mA
	Other Outputs	2.4		V	- 1 mA
$V_{IHR} - V_{ILR}$	RES Input Hysteresis	0.25		V	$V_{CC} = 5.0\text{V}$

MCS-86

A.C. CHARACTERISTICS

Conditions: $T_A = 0^\circ\text{C}$ to 70°C ; $V_{CC} = 5\text{V} \pm 10\%$

TIMING REQUIREMENTS

Symbol	Parameter	Min	Max	Units	Test Conditions
TEHEL	External Frequency High Time	13		ns	90% - 90% V_{IH}
TELEH	External Frequency Low Time	13		ns	10% - 10% V_{IH}
TELEL	EFI Period	$TEHEL + TELEH + \delta$		ns	(Note 1)
	XTAL Frequency	12	25	MHz	
TR1VCL	RDY1, RDY2 Set-Up to CLK	35		ns	
TCLR1X	RDY1, RDY2 Hold to CLK	0		ns	
TA1VR1V	$\overline{AEN1}$, $\overline{AEN2}$ Set-Up to RDY1, RDY2	15		ns	
TCLA1X	$\overline{AEN1}$, $\overline{AEN2}$ Hold to CLK	0		ns	
TYHEH	CSYNC Set-Up to EFI	20		ns	
TEHYL	CSYNC Hold to EFI	20		ns	
TYHYL	CSYNC Width	2 · TELEL		ns	
T11HCL	RES Set-Up to CLK	65		ns	(Note 2)
TCL11H	RES Hold to CLK	20		ns	(Note 2)

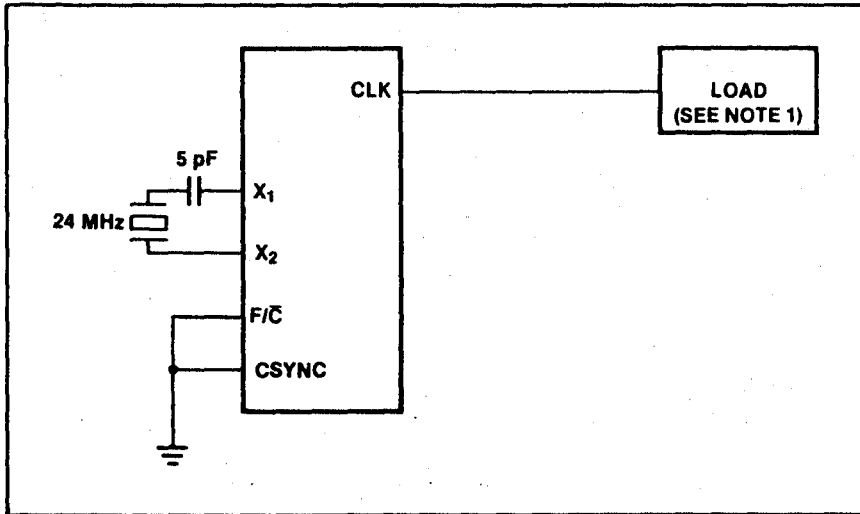


Figure 4. Clock High and Low Time

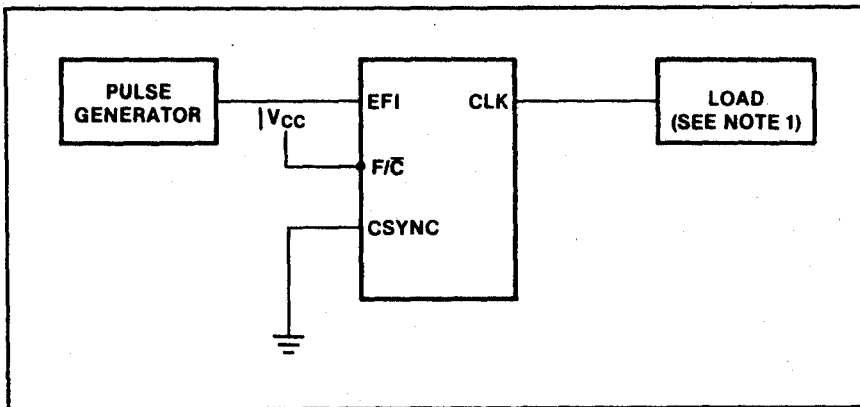


Figure 5. Clock High and Low Time

MPS-86

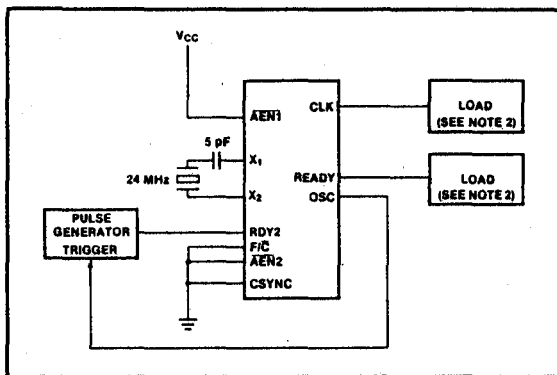


Figure 6. Ready to Clock

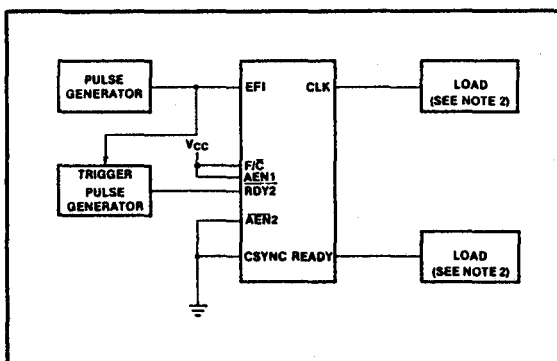
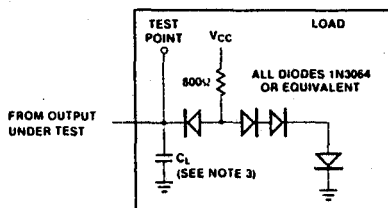


Figure 7. Ready to Clock



- NOTES: 1. $C_L = 100 \text{ pF}$
- 2. $C_L = 30 \text{ pF}$
- 3. C_L INCLUDES PROBE AND JIG CAPACITANCE

Figure 8.

TRI-STATE® Octal Bus Transceiver

General Description

These octal bus transceivers are designed for asynchronous two-way communication between data buses. The control function implementation minimizes external timing requirements.

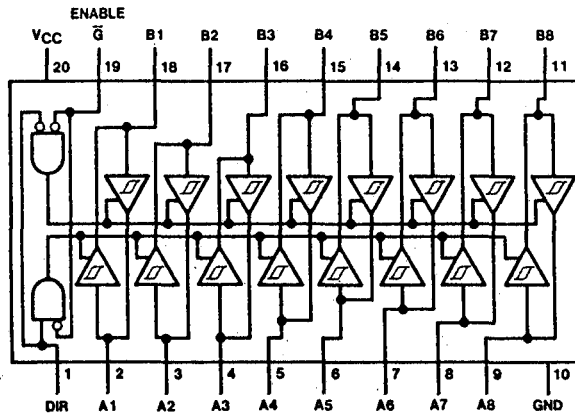
The device allows data transmission from the A bus to the B bus or from the B bus to the A bus depending upon the logic level at the direction control (DIR) input. The enable input (\bar{G}) can be used to disable the device so that the buses are effectively isolated.

Features

- Bi-directional bus transceiver in a high-density 20-pin package
- Tri-state outputs drive bus lines directly
- P-N-P inputs reduce D-C loading on bus lines
- Hysteresis at bus inputs improve noise margins
- Typical propagation delay times, port-to-port... 8 ns
- Typical enable/disable times... 17ns

Type	I _{OL} (Sink Current)	I _{OH} (Source Current)
54LS245	12 mA	-12 mA
74LS245	24 mA	-15 mA

Connection Diagram



54LS245 (J); 74LS245 (N)

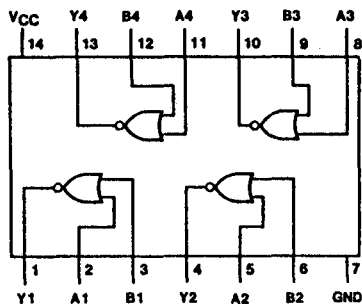
Truth Table

Enable \bar{G}	Direction Control DIR	Operation
L	L	B data to A bus
L	H	A data to B bus
H	X	Isolation

H = high level, L = low level, X = irrelevant

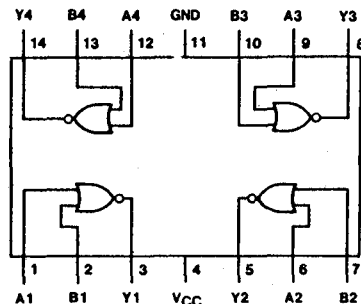
02 Quad 2-Input NOR Gates

$Y = \overline{A + B}$



- | | |
|--------------|------------|
| 5402 (J) | 7402 (N) |
| 54L02 (J) | 74L02 (N) |
| 54LS02 (J,W) | 74LS02 (N) |
| 54S02 (J,W) | 74S02 (N) |

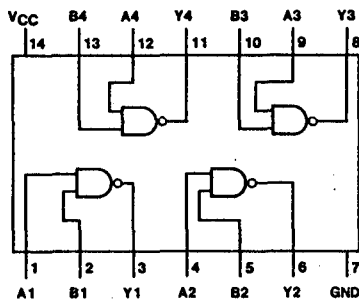
See page 5-8



- | |
|-----------|
| 5402 (W) |
| 54L02 (W) |

03 Quad 2-Input NAND Gates with Open-Collector Outputs

$Y = \overline{AB}$

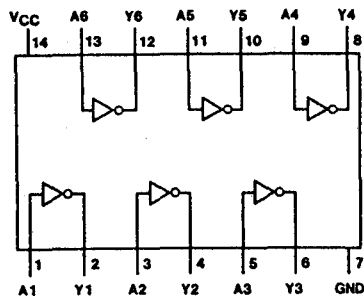


- | | |
|--------------|------------|
| 5403 (J) | 7403 (N) |
| 54L03 (J) | 74L03 (N) |
| 54LS03 (J,W) | 74LS03 (N) |
| 54S03 (J,W) | 74S03 (N) |

See page 5-8

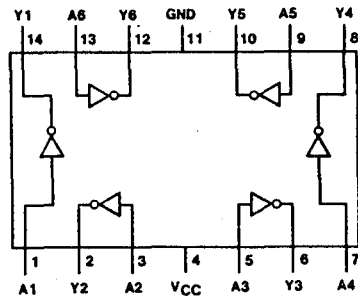
04 Hex Inverters

$Y = \overline{A}$



- | | |
|--------------|------------|
| 5404 (J) | 7404 (N) |
| 54H04 (J) | 74H04 (N) |
| 54L04 (J) | 74L04 (N) |
| 54LS04 (J,W) | 74LS04 (N) |
| 54S04 (J,W) | 74S04 (N) |

See page 5-4



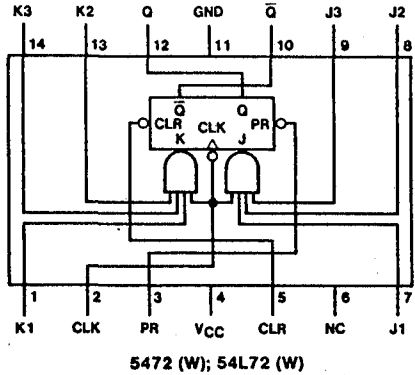
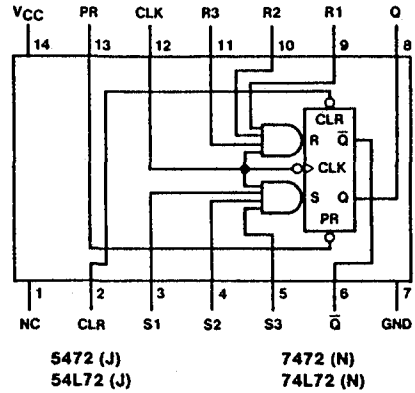
- | |
|-----------|
| 5404 (W) |
| 54L04 (W) |

72 AND-Gated J-K Master-Slave Flip-Flops with Preset and Clear

Truth Table

Inputs					Outputs	
PR	CLR	CLK	J	K	Q	\bar{Q}
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	\square	L	L	Q0	$\bar{Q}0$
H	H	\square	H	L	H	L
H	H	\square	L	H	L	H
H	H	\square	H	H	TOGGLE	TOGGLE

J = J1 · J2 · J3
K = K1 · K2 · K3



See page 5-29 (72), 5-31 (L72)

73 Dual J-K Flip-Flops with Clear

Truth Table

73, L73

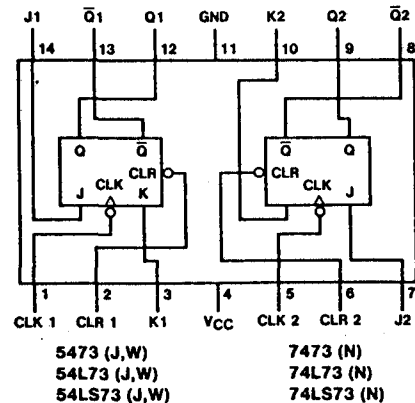
Inputs				Outputs	
CLR	CLK	J	K	Q	\bar{Q}
L	X	X	X	L	H
H	\square	L	L	Q0	$\bar{Q}0$
H	\square	H	L	H	L
H	\square	L	H	L	H
H	\square	H	H	TOGGLE	TOGGLE

Truth Table

LS73A

Inputs				Outputs	
CLR	CLK	J	K	Q	\bar{Q}
L	X	X	X	L	H
H	\downarrow	L	L	Q0	$\bar{Q}0$
H	\downarrow	H	L	H	L
H	\downarrow	L	H	L	H
H	\downarrow	H	H	TOGGLE	TOGGLE
H	H	X	X	Q0	$\bar{Q}0$

See page 5-29 (73), 5-31 (L73), 5-33 (LS73)



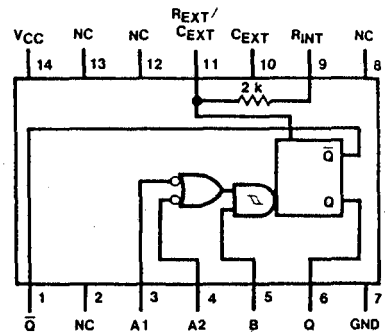
Notes: \square = high-level pulse; data inputs should be held constant while clock is high; data is transferred to output on the falling edge of the pulse.
Q0 = the level of Q before the indicated input conditions were established.
TOGGLE: Each output changes to the complement of its previous level on each active transition (pulse) of the clock.
*This configuration is nonstable; that is, it will not persist when preset and clear inputs return to their inactive (high) level.

121 One Shots

Truth Table

Inputs			Outputs	
A1	A2	B	Q	\bar{Q}
L	X	H	L	H
X	L	H	L	H
X	X	L	L	H
H	H	X	L	H
H	↓	H	⌊	⌋
↓	H	H	⌊	⌋
↓	↓	H	⌊	⌋
L	X	↓	⌊	⌋
X	L	↓	⌊	⌋

See page 5-44



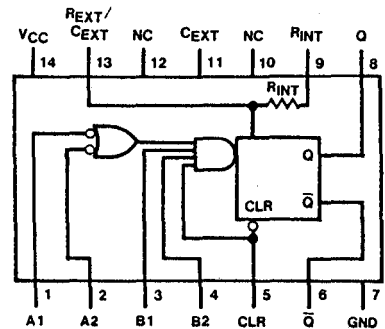
54121 (J,W); 74121 (N)

122 Retriggerable One Shots with Clear

Truth Table

Clear	Inputs				Outputs	
	A1	A2	B1	B2	Q	\bar{Q}
L	X	X	X	X	L	H
X	H	H	X	X	L	H
X	X	X	L	X	L	H
X	X	X	X	L	L	H
X	L	X	H	H	L	H
H	L	X	↓	H	⌊	⌋
H	L	X	H	↓	⌊	⌋
H	X	L	H	H	L	H
H	X	L	↓	H	⌊	⌋
H	H	↓	H	H	⌊	⌋
H	↓	↓	H	H	⌊	⌋
H	↓	H	H	H	⌊	⌋
↓	L	X	H	H	⌊	⌋
↓	X	L	H	H	⌊	⌋

See page 5-46



54LS122 (J,W); 74LS122 (N)

Notes: \lceil = one high-level pulse, \lfloor = one low-level pulse.
 To use the internal timing resistor of 54121/74121, connect RINT to VCC.
 An external timing capacitor may be connected between CEXT and REXT/CEXT (positive).
 For accurate repeatable pulse widths, connect an external resistor between REXT/CEXT and VCC with RINT open-circuited.
 To obtain variable pulse widths, connect external variable resistance between RINT or REXT/CEXT and VCC.