

PROGRAMLANABİLİR SINYAL ÜRETECİ**Rıfat EDİZKAN**

Anadolu Üniversitesi
Fen Bilimleri Enstitüsü
Lisansüstü Yönetmeliği Uyarınca
Elektrik-Elektronik Mühendisliği Anabilim Dalı
Elektronik Bilim Dalında
YÜKSEK LİSANS TEZİ
Olarak Hazırlanmıştır.

Danışman: Prof. Dr. Atalay Barkana**ŞUBAT 1990**

RIFAT EDİZKAN'ın "YÜKSEK LİSANS" tezi olarak hazırladığı "PROGRAMLANABİLİR SİNYAL ÜRETECİ" başlıklı bu çalışma, jürimizce lisansüstü yönetmeliğinin ilgili maddeleri uyarınca değerlendirilerek kabul edilmiştir.

14 / 2 / 1990

Üye : Prof. Dr. Atalay Barkana

Üye : Prof. Dr. Atilla Barkana

Üye : Doç. Dr. Hamdi Atmaca

Fen Bilimleri Enstitüsü Yönetim Kurulu'nun **14 SUBAT 1990**
gün ve **233/10**... sayılı kararıyla onaylanmıştır.

Prof. Dr. Rüstem KAYA
Enstitü Müdürü

İÇİNDEKİLER

	Sayfa
ÖZET	iv
SUMMARY	v
TESEKKÜR	vi
ŞEKİLLER DİZİNİ	vii
TANIMLAR DİZİNİ	ix
1. GİRİŞ.....	1
2. KARMAŞIK DALGA ŞEKLİ ÜRTİM METOTLARI	2
2.1. Basamak Dalga Şekli Sentezi.....	2
2.2. Interpolasyon Metodu	4
3. DONANIM.....	8
3.1. Mikroişlemci Kartı	8
3.1.2. Mikroişlemci	8
3.1.3. Giriş / Çıkış Birimi	10
3.1.4. Bellek.....	10
3.1.5. Yardımcı Tümdevreler	11
3.2. Dalga Şekli Üreteç Kartı	12
3.2.1. Dalga Şekli Adres Sayıcısı.....	12
3.2.2. Dalga Şekli Adres Seçicisi.....	13
3.2.3. Dalga Şekli Belleği.....	13
3.2.4. Dalga Şekli Tutucusu.....	14
3.2.5. Dalga Şekli Sentezleyicisi.....	14
3.2.6. Genlik Kontrol Devresi	16
3.2.7. Offset Kontrol Devresi	17
3.2.8. Çıkış sürücü katı	17
3.2.9. Frekans Sentezleyici.....	19
3.2.10. Programlanabilir alçak geçiren filtre	22
3.3. Güç Kaynağı	24
3.4. Diğer Çevre Elemanları	24
4.YAZILIM	27
4.1. Akış Şemaları	27
4.2. Tuşların Fonksiyonları	43
5.SONUÇLAR	46
6.KAYNAKLAR DİZİNİ	47

EKLER

1. Mikroişlemci kartının açık devre Şeması
2. Adres sayıcısı, adres seçicisi, adres tutucu ve dalga Şekli belleğinin devre şeması
3. Dalga sentezleyicisi, genlik kontrol devresi ve offset kontrol devresinin açık devre şeması
4. Frekans sentezleyici devresinin açık devre şeması
5. Kullanılan programlar tüm devreler ve özellikleri
6. Baskı devre şeması
7. 8085 makina dilinde yazılan programlar

ÖZET

Bu tez çalışmasında elektronik sistemlerin test, tasarım ve ayarlarında kullanılabilecek Programlanabilir Sinyal Üretici tasarlanmış ve gerçekleştirilmiştir. Programlanabilir Sinyal Üretici karmaşık dalga şekillerinin üretimi yanında standart fonksiyonlarında (sinüs, kare, üçgen, ramp) üretebilmektedir. Cihaz çıkışındaki sinyalin genliği $\pm 5V$, offseti $\pm 2.5V$ frekansı ise standart fonksiyonlar için 100 Hz - 50 KHz arasında değişmektedir. Gerçekleştirilen cihaza programlanabilir alçak geçiren filtre devresi ilave edilerek çıkış sinyalinin en uygun biçimde filtrelenmesi sağlanmıştır. Cihazın çıkış empedansı 50Ω 'dur.

SUMMARY

In this work related with the thesis, a Programmable Signal Generator which can be used in the test, design, and calibration of electronic systems is designed and realized. This signal generator can produce the standard waveforms such as sinusoidal, square, triangular, etc as well as more complex waveforms. The signal amplitude at the output of the generator is ± 5 V with the offset value ± 2.5 V. Its frequency for standard waveforms may be varied between 100 Hz - 50 kHz. A programmable low pass filter is added to the system so that the output signal is most suitably filtered. The output impedance of the generator is 50 Ω .

TEŞEKKÜR

Bu çalışmayı bana yüksek lisans tezi olarak veren ve hiçbir yardımını esirgemeyen hocam Prof. Dr. Atalay BARKANA 'ya çalışmalarımda bilgi ve tecrübesiyle bana yol gösteren Öğretim Görevlisi Gökhan DINDİŞ 'a, bana her konuda destek olan oda arkadaşım Araştırma Görevlisi Hakan TORA 'ya ve tezimin her safhasında bana yardımcı olan arkadaşlarıma teşekkür ederim.

ŞEKİLLER DİZİNİ

Şekil	Sayfa
2.1 Tablo okuma metoduyla dalga şekli üretimi	3
2.2 Basit interpolasyon metodu ve bu metodla bir sinusoid'in elde edilişi	5
2.3 Düzeltilmiş interpolasyon metodu ve dalga şekilleri.....	7
3.1 Programlanabilir Sinyal Üretici blok şeması	9
3.2 Bellek haritası	11
3.3 I/O haritası	11
3.4 Bellek harita çözücü devresi.....	12
3.5 I/O harita çözücü devresi.....	12
3.6 DAC 800 fonksiyonel diyagramı	15
3.7 Dalga şekli sentezleyici devresi.....	15
3.8 DAC 830'un fonksiyonel diyagramı.....	16
3.9 Genlik kontrol devresi	17
3.10 Offset kontrol devresi	18
3.11 Çıkış sürücü devresi	18
3.12 PLL devresinin blok şeması.....	19
3.13 PLL kullanılarak yapılan frekans çarpıcı devresinin blok şeması.....	20
3.14 Frekans sentezleyici devresinin blok şeması.....	21
3.15 Frekans seçici devresi.....	22
3.16 Durum Değişken filtre devresi	23
3.17 ± 12 Volt, +5 voltluk güç kaynağı devresi.....	25
3.18 Tuş takımı ve LCD göstergenin 8155 ile bağlantı şeması.....	26
4.1 Sistemi çalıştıran menü programları ve bunlara ait alt programlar.....	28
4.2 Ana programın akış şeması.....	29
4.3 EDIT menü programının akış şeması.....	30
4.4 Standart fonksiyon seçimini sağlayan FUNCTION programının akış şeması.....	31
4.5 Dalga şekli verilerinin girişinde kullanılan ADJ X,Y programının akış şeması.....	32

ŞEKİLLER DİZİNİ (Devam)

4.6	START Address programının akış şeması.....	33
4.7	STOP Address programının akış şeması.....	34
4.8	ERASE/SET menü programı akış şeması.....	35
4.9	Parametre giriş menü programının akış şeması....	36
4.10	FREQUENCY programı akış şeması	37
4.11	AMPLITUDE programının akış şeması	39
4.12	OFFSET ayar programının akış şeması.....	40
4.13	FILTRE programının akış şeması.....	41
4.14	STORE programının akış şeması.....	42
4.15	Ana Menü programı tuş fonksiyonları.....	44
4.16	EDIT Menü programı tuş fonksiyonları.....	44
4.17	PARAMETER Menü programı tuş fonksiyonları.....	44
4.18	STORE Menu programı tuş fonksiyonları.....	45

TANIMLAR DİZİNİ

RAM (Random Access Memory) : Rastgele erişimli bellek

EPROM (Erāsable Programmable Read Only Memory) : Silinebilir, programlanabilir salt okunabilir bellek

PLL (Phase Locked Loop) : Faz kilitlemeli döngü

DAC (Digital Analog Converter) : Sayısal veriyi analog voltaja çevirici

LCD (Liquid Crystal Display) : Sıvı kristal gösterge

1. GİRİŞ

Elektronik sistemlerin kompleks dalga şekillerini ölçüp analiz edebilme yetenekleri arttıkça bu sistemlerin test işlemlerinde, kalibrasyonlarında ve tasarımlarında kullanılacak sinyal üreteçlerine ihtiyaç artmaktadır. Her sistem için ayrı bir sinyal üretici kullanmak hiçte akılcı değildir. Ayrıca cihaz çıkışındaki sinyalin genlik ve frekansını yüksek hassasiyette üretebilmeli ve geleneksel bir sinyal üreticinin işlevlerine sahip olmalıdır. İşte bunların hepsi Programlanabilir Sinyal Üreticinde mevcuttur.

Programlanabilir Sinyal Üretici mantık devreleriyle elektronik devrelerin uygun şekilde birleştirilmesinden meydana gelmektedir. Sinyal Üretimi mantık devrelerinin ağırlıkta olduğu bir metotla gerçekleştirilmektedir. Çıkıştaki sinyalin genlik ve frekansının hassasiyeti kullanılan DAC ve frekans sentezleyicisine bağlıdır. Programlanabilir Sinyal Üreteçlerinin çıkış frekansları kullanılan DAC'ların çalışma frekansları ile sınırlıdır. Bu nedenle çıkış frekansı geleneksel sinyal üreteçlerine göre daha düşüktür. Programlanabilir Sinyal Üreteçleri ile standart fonksiyonların (sinüs, üçgen, kare vb.) yanında istenilen bir dalga şeklini nokta nokta tanımlayarak üretmek mümkündür.

Programlanabilir Sinyal Üreteçleri özellikle sonar cihazının, biyofiziksel sinyalleri ölçen cihazların ve haberleşme sisteminde kullanılan cihazların test, tasarım ve kalibrasyon işlerinde kullanılmaktadır.

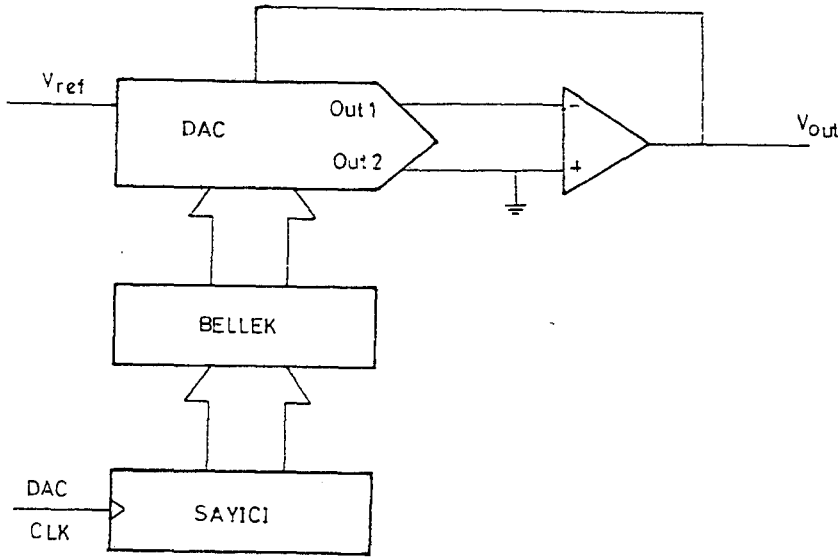
2. KARMASIK DALGA SEKLI ÜRETİMİ İÇİN METOTLAR

Karmaşık dalga şekilleri üretmek için çeşitli metotlar kullanılmaktadır. Bu metotlardan birincisinde, karmaşık dalga şekli vektörler yardımıyla oluşturulmaktadır. İlk defa Hewlett-Packard firması tarafından kullanılan bu metotta istenilen dalga şekli, geleneksel bir fonksiyon üretici ve bir mikroişlemci tarafından üretilmektedir. Burada mikroişlemci vektör üretmek için üreticinin pozitif ve negatif akım kaynaklarını kontrol eder. Bu metot sadece yazılım gerektirdiği için oldukça ekonomik olmasına rağmen bazı dezavantajları vardır. Çünkü mikroişlemcinin her vektör için ardışıl kontrol sağlaması gerekir. Bu nedenle çıkış frekansı oldukça küçüktür. İkinci metot ise ilk defa Wave-tek firması tarafında geliştirilmiştir. Bu metotta bir rastgele erişimli bellek içine depolanan dalga şekli verilerinin ardışıl olarak bir mikroişlemci tarafından taranarak bu verilerin DAC (Digital/ Analog Converter) tarafından analog voltaja çevrilmesi yoluyla dalga şekli üretimi yapılmaktadır. Metotta kullanılan devre geleneksel bir fonksiyon üretici içermediğinden dolayı vektör üretim metoduna göre daha pahalıdır.

2.1. Basamak (Staircase) Dalga Şekli Sentezi

Basamak dalga şekli üretim metodunda üretilecek sinyalin bir periyotluk kısmı kodlanarak bir salt okunabilir veya rastgele erişimli belleğe depolanır. Yani bellek içinde sinyali sayısal temsil eden bir tablo oluşturulur. Bir sayıcı yardımıyla üretilen adreslere karşılık gelen tablo değerleri bellek çıkışında DAC (Digital-to-Analog Converter) tarafından analog voltaja çevrilir. Bu metotla dalga şekli üreten üreticinin basitleştirilmiş şeması Şekil 2.1'de verilmiştir. Üretilen dalga şeklinin frekansı sayıcının (Counter) saat frekansı ve dalga şeklini belirlemede kullanılan veri sayısına bağlıdır.

Üretilecek dalga şekli $V(t)$, $1/T_s$ örnekleme frekansı ile örneklenir ve örneklenen değerler sayısal kodlanarak belleğe yüklenir. Dalga şekli $V(t) = V_m \cdot \sin \omega t$ ise bunun $1/T_s$ frekansı



Sekil 2.1 Tablo okuma metoduyla dalga şekli üretimi ile örneklenmiş değeri

$$V(nT) = V_m \sin(n\omega T) \quad n=0,1,2,\dots,N \quad (2.1)$$

ifadesiyle hesaplanır. Bu N adet değer kodlanarak üretilecek dalga şeklini temsil eden sayısal tablo elde edilir. Çıkıştaki dalga şeklinin frekansı

$$f_0 = \frac{f_s}{N} \quad (2.2)$$

değerine eşittir. Buradaki f_s örnekleme frekansını, N ise dalga şekli tanımlamada kullanılan örnek sayısını göstermektedir. N sayısı belleğin uzunluğu ile sınırlıdır. Örneklenmiş değerlerden dalga şekli üretirken kullanılacak minimum veri sayısı üretilecek standart dalga şekline göre değişir. Sinüs dalga şeklini üretmek için minimum dört örnek yeterlidir. Üçgen dalga şekli üretirken çok örnek kullanılmalıdır, çünkü çıkıştaki dalga şekli basamak fonksiyonlarından meydana gelmektedir. Çıkış dalga şeklinin istenilene yakın olması ise ancak basamakların çok sık olmasıyla sağlanabilir. Sinüsoidal dalga şekilleri filtre kullanılarak düzgün şekilde elde edilebilir. Basamak fonk-

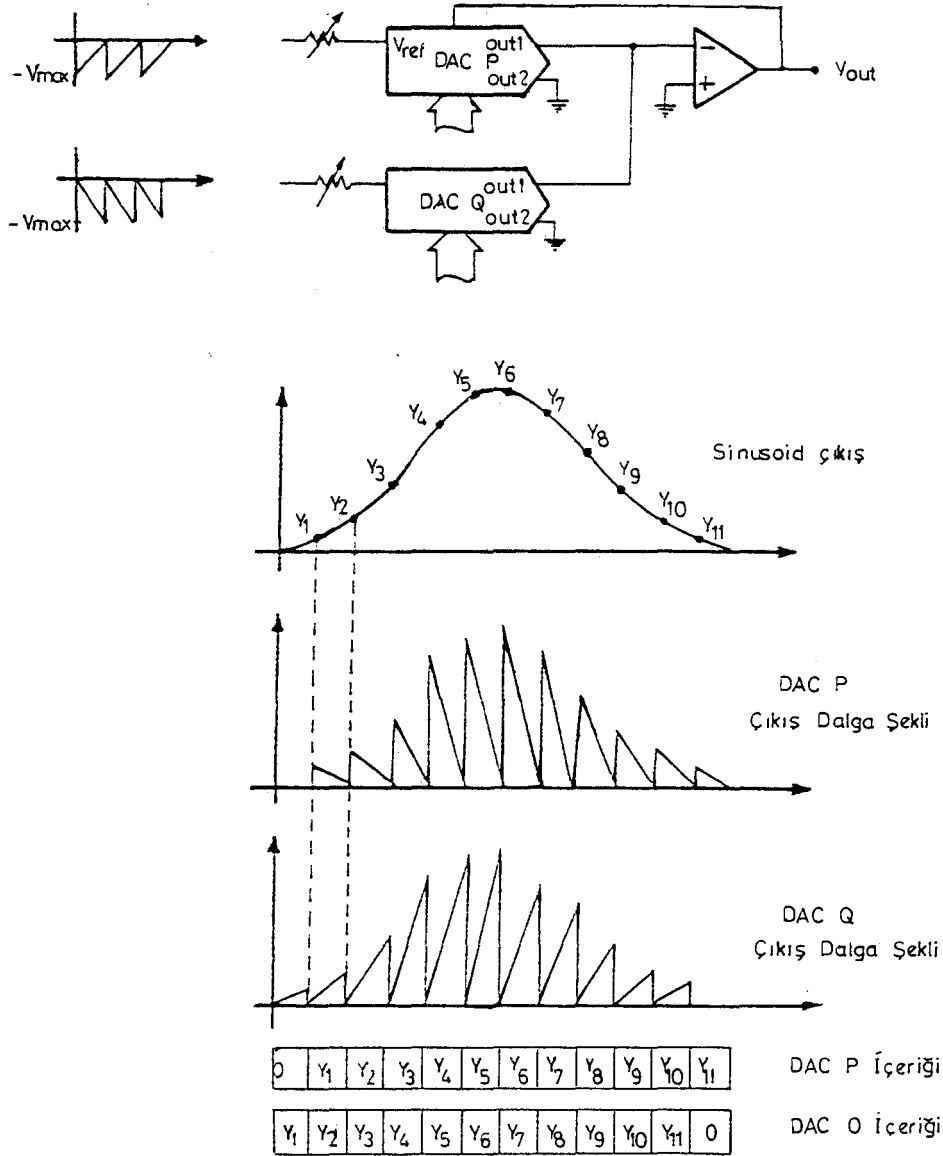
siyonlarından oluşan çıkıştaki dalga şeklini Fourier serisine açarsak bir temel frekans ve birçok harmonik frekanslardan oluştuğu görülür. Üretilecek olan sinyal sinüsoidal ise temel frekansı geçiren bir alçak geçiren filtre kullanarak düzgün bir sinyal elde edilebilir. Fakat lineer değişimlere sahip dalga şekilleri için harmonik frekanslarda önem taşımaktadır. Bu nedenle çıkışa konulacak filtrenin kesim frekansı sinyalin frekansından daha büyük olmalıdır. Görüldüğü gibi üçgen, ramp gibi sinyallerin üretiminde filtrenin kesim frekansının ne olacağına oldukça önemi vardır. Bu durumda ya çıkışa programlanabilir filtre koyulabilir ya da dalga şeklini tanımlamada kullanılan örnek sayısı arttırılabilir.

(2.1) formülünde f_s ve N sayısı değiştirilerek dalga şeklinin frekansı değiştirilebilir. Bu iki değeri uygun şekilde değiştirerek çıkışta değişik frekanslara sahip dalga şekilleri elde edilebilir.

Basamak dalga sentezi metodu oldukça basittir. Fakat bu metodla ancak düşük frekanslı dalga şekilleri üretilebilir. Çıkış basamak fonksiyonlarından oluştuğu içinde kodlama gürültüsü ortaya çıkmaktadır. Ayrıca DAC çeviriciler uzun yerleşme zamanına (settling time) sahip oldukları için çıkış dalga şeklinde sayısal verilerin her değişiminde sıçramalar oluşur. Metod hem sayısal hem de elektronik devreler içerdiğinden diğer geleneksel fonksiyon üreteçlerine göre daha pahalıdır.

2.2. Interpolasyon Metodu

Interpolasyon metodunda bir dalga şekli üretmek için iki DAC kullanılır. Birinci DAC başlangıç noktasını, ikinci DAC bitiş noktasını belirler ve bu iki nokta arasına bir çizgi çizilir. Şekil 2.2'de basit interpolasyon devresi ve bu metodla çizilen bir sinusoidi göstermektedir.



Şekil 2.2 Basit interpolasyon metodu ve bu methodla bir sinüsoid'in elde edilişi

Bu metotla çizilen çizginin başlangıç noktasını DAC P'nin digital girişleri, bitiş noktasını ise DAC Q'nun digital girişleri belirler. DAC P'nin referans girişi T periyodunda $-V_{max}$ 'tan 0'a giden pozitif rampadandır. DAC Q'nun referansı ise DAC P'ninkine eşit ve aynı periyotta 0'dan $-V_{max}$ 'a giden ters rampadır. DAC P ve DAC Q çıkışlarının toplamı aşağıdaki denklemlerle verilir :

$$V_{out} = N_p \cdot (V_{max} - V_{max.t} / T) + N_q (V_{max.t} / T) \quad (2.3)$$

$$V_{out} = N_p \cdot V_{max} + (N_p - N_q) \cdot V_{max.t} / T \quad (2.4)$$

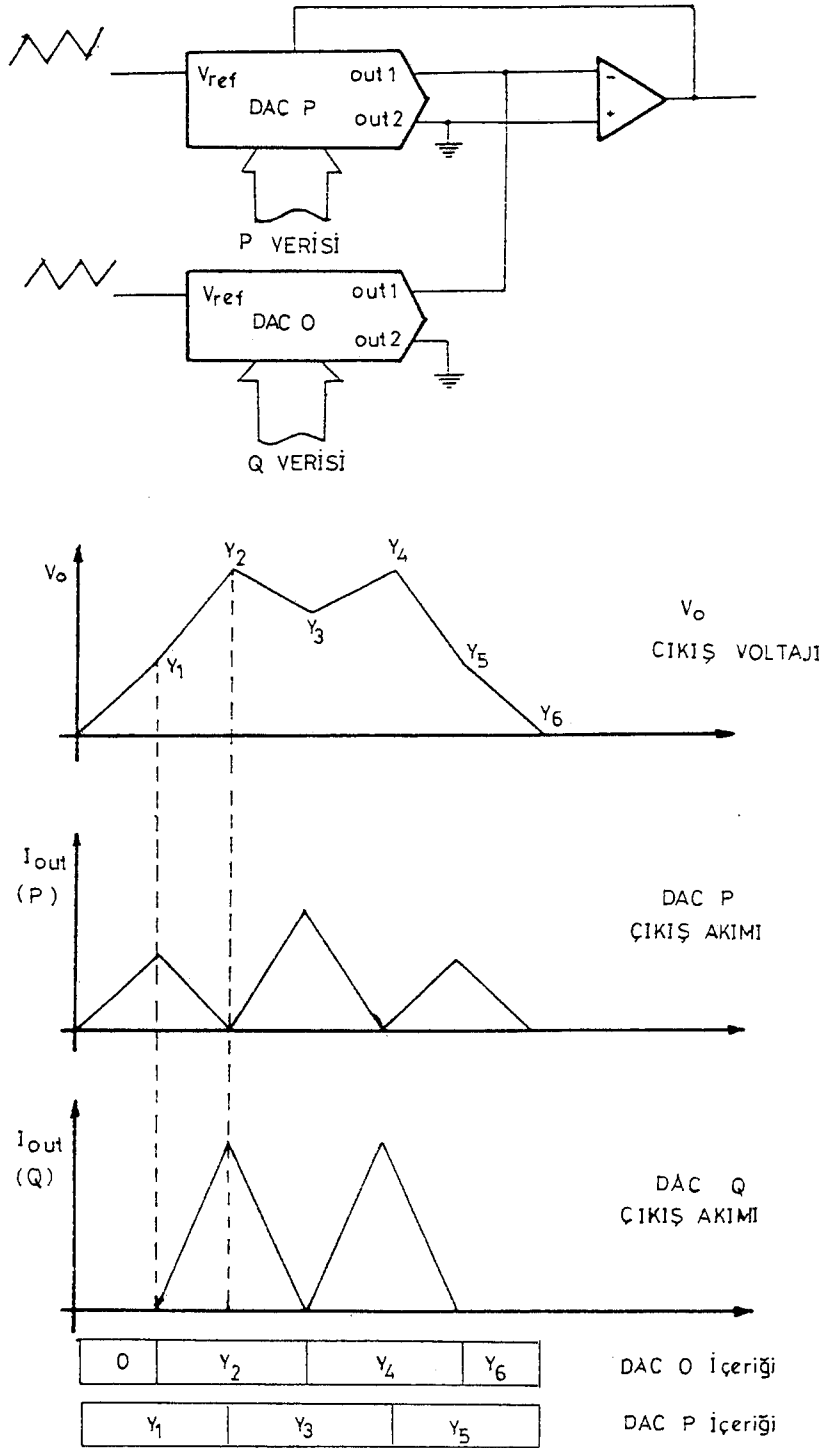
Daha öncede belirtildiği gibi bir doğru çizgisinin iki noktası DAC P ve DAC Q'daki binary sayı ile belirlenir. Bir sonra çizilecek çizgi için P Q'nun değeriyle ve Q'da yeni bitiş noktası değeriyle yüklenir ve bu işlem tekrarlanır. DAC P ve DAC Q tamamıyla aynı sayıları kullanılır. Yalnızca DAC Q her zaman DAC P'den bir kelime ileridedir.

Şekil 2.2'deki devrede DAC'ın ve işlemsel kuvvetlendiricilerin yerleşme zamanından ve testere dişi sinyalinin slew rate'tinden dolayı çıkışta bir takım sığramalar oluşabilmektedir. Ayrıca DAC'lara gönderilen digital değerler değiştikçe istenmeyen geçişler ortaya çıkabilir. İşte bunları önleyebilmek için interpolasyon metodunda bir takım değişiklikler yapılmıştır.

Interpolasyon metodunda her digital kelime önce DAC Q'ya ve bir periyod sonra DAC P'ye verilmekteydi. Fakat bu yeni metodda her bir kelime yalnız bir DAC'a uygulanmakta ve DAC referans voltajlarına üçgen dalga verilmektedir. Şekil 2.3 yeni metod için kullanılan devreyi ve ilgili dalga şekillerini göstermektedir. Burada dikkat edilmesi gereken nokta DAC'a uygulanan digital kelimelerin DAC referansları sıfır olduğunda yenilenmesidir. Bu da Şekil 2.3'de karşılaşılan slew rate ve yerleşme zaman problemlerini önler. Ama hala çıkışta küçük sığramalar oluşabilir.

Interpolasyon metodu yüksek frekanslarda çalışmaya imkan sağlar ve dalga şeklini tanımlamak için gerekli olan

digital kelime sayısını minimuma indirir. Bununla beraber donanım birinci metoda göre daha karmaşıktır.



Sekil 2.3 Düzeltilmiş interpolasyon metodu ve dalga şekilleri

3. DONANIM

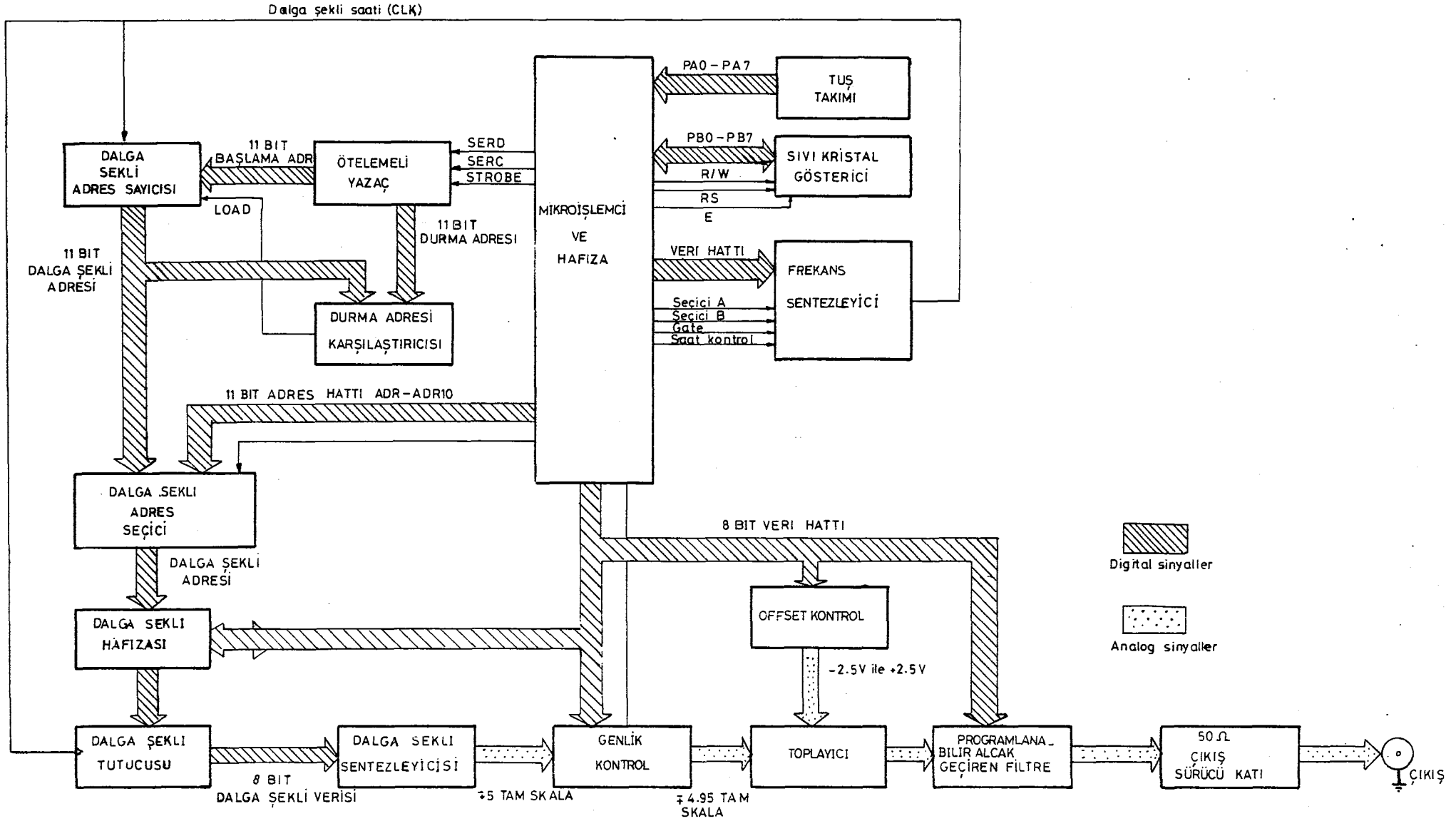
Programlanabilir Sinyal Üreteçi iki ana bölümden meydana gelir. Bunlar mikroişlemci ve dalga üreteç kartıdır. Mikroişlemci kartı sistemle ilgili işlemler yanında dalga üreteç kartı için gerekli veri ve kontrolleri sağlar. Ayrıca kullanıcı ile iletişim bu bölüm tarafından yapılmaktadır. Dalga şekli üreteç kartı ise kullanıcının istediği genlik, offset ve frekans değerinde dalga şekli üretir.

Blok şeması Şekil 3.1'de verilen Programlanabilir Sinyal Üreteci şöyle çalışır : Dalga şekli belleği mikroişlemci tarafından oluşturulan sayısal dalga şekli bilgisini içerir. Ulaşılmak istenen bilgi dalga şekli adres sayıcısı tarafından belirlenir. Sayıcının saati frekans sentezleyici katından gelir. Sayısal dalga şekli bilgisi dalga şekli sentezleyicisine gönderilir. Bu sentezleyici sayısal bilgiyi analog voltaja çevirir. Genlik kontrol devresi dalga sentezleyici çıkışını 0-10 Vpp arasında kontrol eder. Offset kontrol devresi mikroişlemci tarafından sağlanan bilgiyi analog voltaja çevirir ve toplayıcı katına uygular. Toplayıcı genlik kontrol ve offset kontrol devresinden gelen sinyalleri toplayarak sürücü katına iletir. Bu kat çıkışa bağlı yükün sürülmesini sağlar ve çıkış empedansını 50 Ω 'da sabit tutar.

3.1. Mikroişlemci Kartı

3.1.1. Mikroişlemci

Mikroişlemci kartında Intel firmasının 8 bit'lik 8085A mikroişlemcisi kullanılmıştır. Bu mikroişlemci çoğullanmış veri hattı kullanır. Adresler 8 bit adres hattı ve 8 bit veri hattı arasında paylaştırılmıştır. 8085A mikroişlemcisi 8080A mikroişlemcisi ile uygun yazılıma sahiptir. 8085A 'de ilave olarak SIM ve RIM komutları vardır. Mikroişlemci kendi içinde saat üretecine sahip olup maksimum 3 MHz 'lik



Şekil 3.1 Programlanabilir Sinyal Üretici Blok Şeması

saat frekansı ile çalışabilmektedir.

8085A mikroişlemcisinde üç tür kesici (Interrupt) vardır. Birincisi Kurma (Reset) kesicisidir. Bu kesici ilk anda adres sayıcısının 0000 H adresinden başlatılması için kullanılır.

İkinci kesici türünde, biri maskelenemeyen dört tane kesici vardır. Bu kesitilerden biri geldiğinde mikroişlemci daha önceden belirlenmiş adresten itibaren çalışmaya başlar. RST 7.5, RST 6.5, RST 5.5 kesicileri yazılım ile engellenebilen kesici girişleridir ve önem sırasına göre mikroişlemci bu kesicileri değerlendirir. TRAP kesicisi ise yazılım ile engellenemeyen kesicidir. Üçüncü kesici ise INTR kesicisidir. Bu kesici genel amaçlı olup yazılım ile engellenebilir.

8085A mikroişlemcisi ayrıca seri veri girişine ve çıkışına imkan sağlayan SID (Serial Input Data) ve SOD (Serial Output Data) bacaklarına sahiptir. Bu mikroişlemci kendi ailesiden çevre elemanlarıyla yazılım ve donanım üstünlükleriyle birçok sistemde yaygın olarak kullanılmaktadır.

3.1.2. Giriş / Çıkış birimi

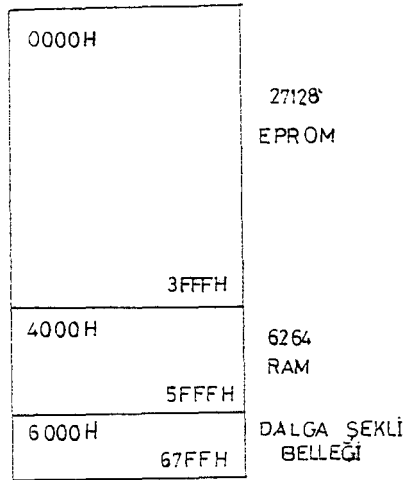
Giriş / Çıkış Birimi olarak iki adet 8155 P10 (Paralel Input/Output) tümdevresi kullanılmıştır. 8155 P10 iki yönlü veri transferi için programlanabilen 3 adet 8 bit'lik giriş/çıkış portuna sahiptir. Veri transferlerinde kullanılan eşzamanlama ve tokalaşma (Handshaking) işlemi uygun çalışma modu kullanarak gerçekleştirilebilir.

3.1.3. Bellek

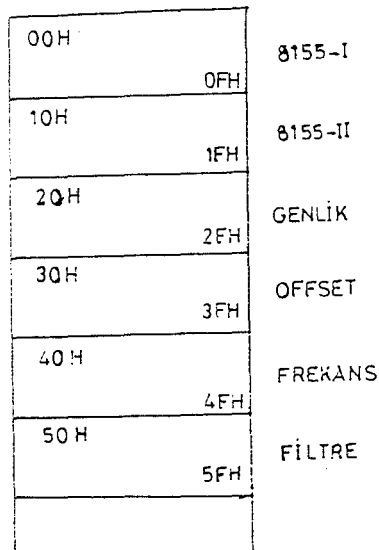
Sistemde yazılan programların, sabitlerin ve tabloların saklanması için EPROM (Erasable Programmable Read Only Memory) kullanılmıştır. EPROM 16K X 8 bit'lik olup 0000-3FFFH adresleri arasına yerleştirilmiştir.

3.1.4. Yardımcı tümdevreler

Mikroişlemci kartında iki tür çözücü kullanılmıştır. Bunlardan biricisi bellek adres çözücüsü, diğeri ise input/output çözücüsüdür. Bellek adres çözücüsü belirlenen bir bellek haritasına uygun şekilde EPROM, RAM ve Dalga Sekli RAM'inin seçilmesini sağlar(Şekil 3.2).

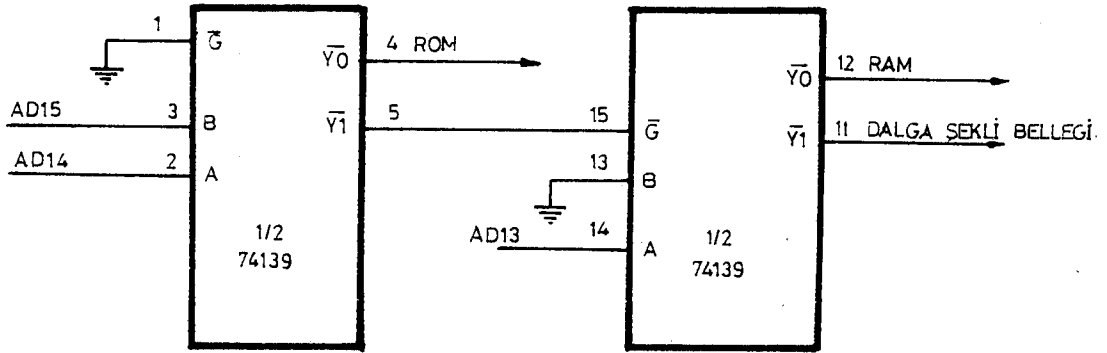


Şekil 3.2 Bellek haritası

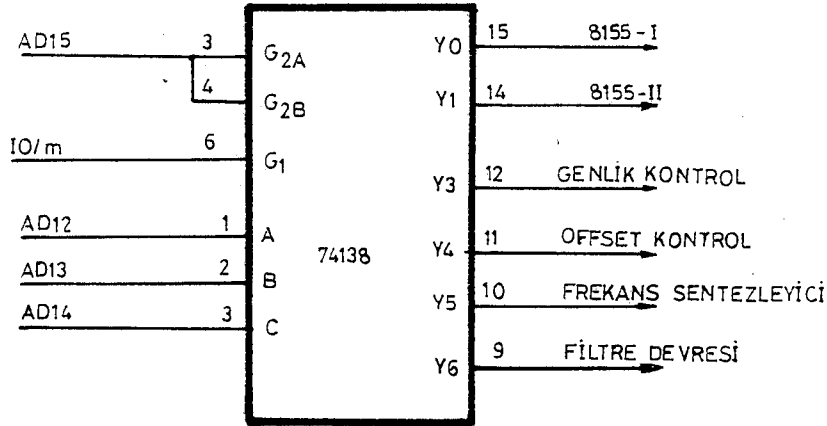


Şekil 3.3 I/O haritası

Input/Output çözücüsü ise Şekil 3.3 'de verilen I/O haritasına uygun olarak mikroişlemci kartındaki 8155 PIO tümdevreleriyle Dalga şekli üretici kartındaki DAC'ları (Digital-to-Analog Converter) seçer. Her iki çözücüde de 74LS139 Çözücü tümdevresinden yararlanılmıştır. Şekil 3.4'de bellek adres çözücü devresi, Şekil 3.5'de ise I/O çözücü devresi verilmiştir.



Şekil 3.4 Bellek harita çözücü devresi



Şekil 3.5 I/O harita çözücü devresi

3.2. Dalga Şekli Üreteç Kartı

3.2.1. Dalga şekli adres sayıcısı

Dalga şekli adres sayıcısı dört adet arka arkaya bağlanmış 4 bit binary sayıcıdan oluşur (Ek 2). Bu sayıcıların çıkışları ulaşılmak istenen sayısal dalga şekli bilgisi için dalga şekli belleğine adres sağlar. Dalga şeklinin başlangıç adresi mikroişlemci tarafından sayıcıların Preload

girişine uygulanır. Bu adres 11 nolu bacak mantık "0" seviyesine çekildiği zaman sayıcıların çıkışında gözüktür. 11 nolu bacak mantık "1" yapıldığı zaman sayıcı çıkışlarındaki veri 5 nolu bacakta saat sinyalinin her yükselen kenarında bir artacaktır. Saat sinyali frekans sentezleyici tarafından üretilmektedir. Ardışıl sayma işlemi durma adres karşılaştırıcısından gelen LOAD sinyali mantık "0" seviyesine düşüncüye kadar sürer. LOAD mantık "0" seviyesine düştüğü zaman sayıcıların çıkışları başlangıç adresine kurulur ve dalga şekli yeniden üretilmeye başlanır.

3.2.2 Dalga şekli adres seçicisi

Dalga şekli adres seçicisi dört adet 2 girişli veri seçiciden meydana gelir(Ek 3). Bu veri seçiciler dalga şekli belleğinde erişilecek yerleşimin adres sayıcısı veya mikroişlemci kontrolünde olup olmadığını belirler. Bu seçicilerin 1 nolu bacağı A/B, mikroişlemci tarafından kontrol edilir. Mikroişlemci dalga şekli belleğine erişeceği zaman bu hattı mantık "0" seviyesine düşürür. Dalga şekli üretimi yapılacağı zaman ise A/B hattı mantık "1" yapılarak sayıcı çıkışları dalga şekli belleği adres hattına bağlanır.

3.2.3. Dalga şekli belleği

Dalga şekli belleği rastgeleerişimli bellek (RAM) ve 74LS245 iki yönlü hat alıcı-vericisinden oluşur(Ek 2). Rastgele erişimli bellek 8 bit genişliğinde 2048 byte uzunluğundadır. Erişilmek istenen yerleşim RAM adres hattındaki (A10-A0) 11 bit binary sayı ile belirlenir. Eğer RAM'a veri yazılacaksa 21 nolu bacağı mantık "0" seviyesi gönderilir. Okuma yapılacağı zaman ise 20 nolu OE bacağı mantık "0" seviyesine düşürülür. Kırmık seçici (CS) RAM'i aktif yapabilmek için mantık "0" seviyesinde olmalıdır. 74LS245 tümdevresi dalga şekli hafızası ile mikroişlemcinin veri hattı arasında iki yönlü bir kapı gibi davranır. Bu tümdevrenin 18 nolu bacağı mantık "1" seviyesinde olduğu zaman tümdevre yüksek empedans durumuna geçer. Veri iletiminin

yönü 1 nolu bacakdaki DIR sinyali ile belirlenir. Eger DIR mantık "1" seviyesinde ise veri A'dan B'ye, mantık "0" seviyesinde ise B'den A'ya doğru transfer edilir.

Dalga şekli belleği 8 bit dalga şekli bilgisini içerir. Bu bitlerden WF1 en önemsiz, WF8 ise en önemli bit'tir. Mikroişlemci dalga şekli bilgisini kullanıcı tarafından belirlenen bellek yerlerine yerleştirir. Daha sonra bu bilgiler sıralı bir biçimde dalga şekli oluşturmak için dışarıya verilir.

3.2.4. Dalga şekli tutucusu

Dalga şekli tutucusu olarak 74LS374 octal D tipi flip-flop kullanılmaktadır. Tümdevrenin D girişlerinde bulunan bilgi Q çıkışlarına saat darbesinin yükselen kenarında transfer edilir. Q çıkışlarındaki bu veri diğer saat darbesine kadar tutulur. Tutucu kullanılmasının nedeni dalga şekli bilgisini dalga şekli sentezleyicisine uygulamadan önce bu bilginin geçerli olduğuna emin olmaktır. Dalga şekli belleğinde bir yerleşime erişildiği zaman veriler sonuç değerlerine ulaşabilmek için belirli bir zamana ihtiyaç duyarlar. Diğer saat darbesi geldiğinde ise veri geçerli olur ve dalga şekli sentezleyicisine gönderilir.

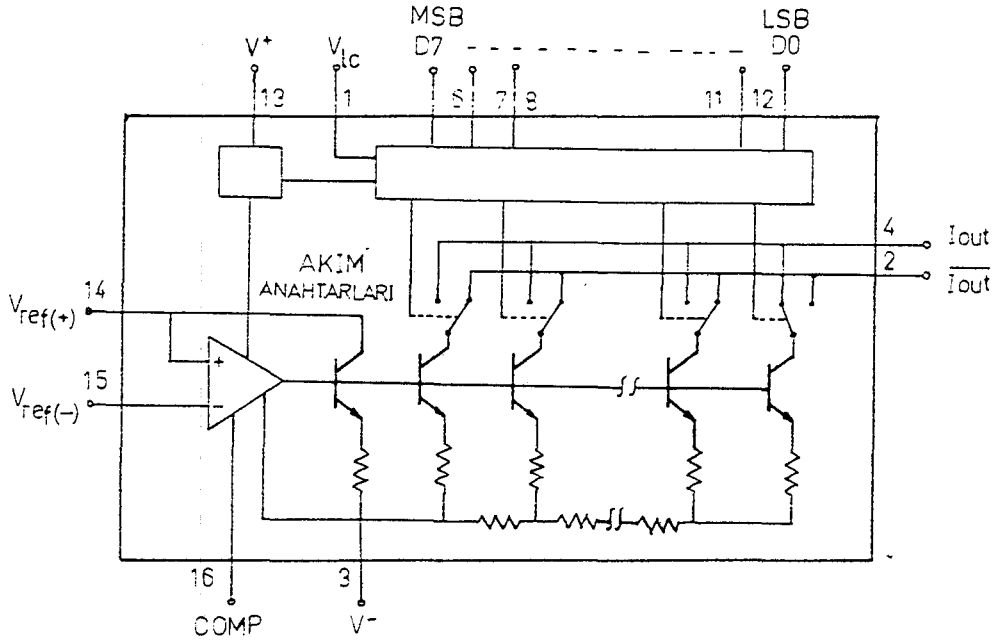
3.2.5. Dalga şekli sentezleyicisi

Dalga şekli sentezleyicisinin fonksiyonu dalga şekli hafızasından gelen sayısal veriyi analog voltaja çevirmektir. Bu devrenin ana elemanları 8'bitlik DAC 800 ile LF 411 işlemsel kuvvetlendiricisidir. Şekil 3.6'da fonksiyonel diyagramı verilen DAC 800 8 bit'lik yüksek hızlı ve akım çıkışı veren DAC (Digital-to-Analog Converter) olup 100 ns yerleşme zamanına sahiptir (Lineer Data Book, 1985).

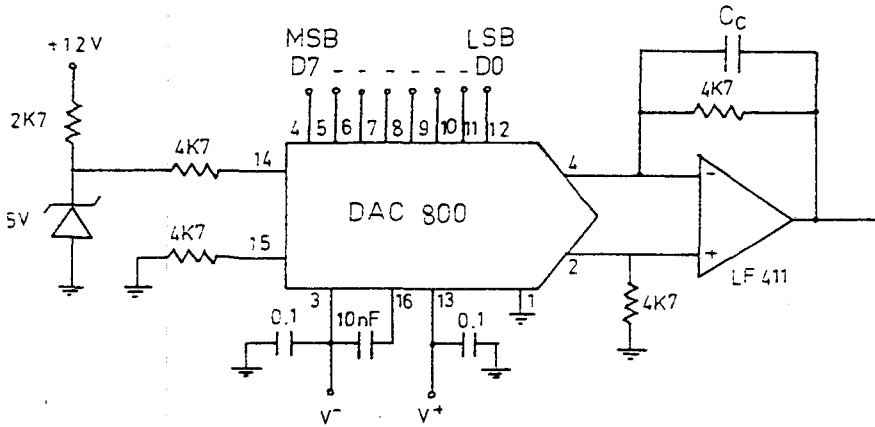
Şekil 3.7'de verilen genlik kontrol devresinde DAC 800 lout1 çıkışından içeriye doğru bir akım çeker (Lineer Data Book, 1985). Bu akım DAC girişlerinde gözükken sayı ve referans girişine uygulanan akım ile orantılıdır. lout2 bacağından ise lfs-lout1 farkı kadar bir akım geçer. Burada

$$I_{fs} = \frac{V_{ref}}{4.7 K} \quad (3.1)$$

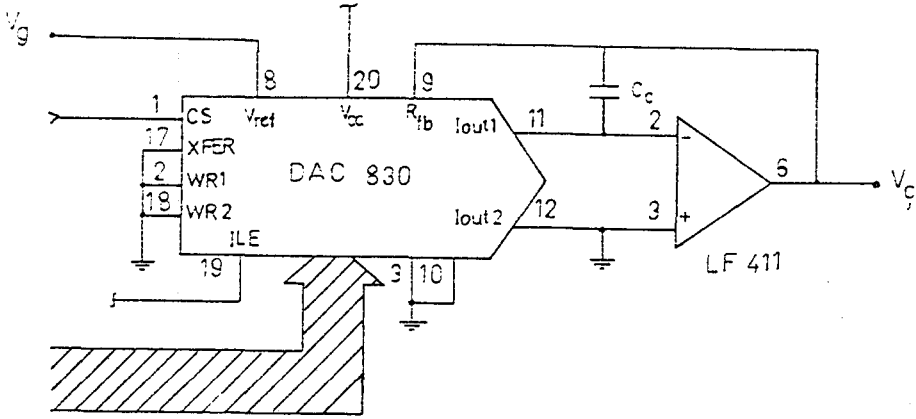
değerine eşittir. İşlemsel kuvvetlendirici DAC çıkışındaki akımı voltaja çevirir. Dalga sentezleyicisinin çıkışı tam skalada ± 5 Volt çıkış voltajı üretebilmektedir.



Şekil 3.6 DAC 800'ün fonksiyonel diyagramı



Şekil 3.7 Dalga şekli sentezleyici devresi



Şekil 3.9 Genlik kontrol devresi

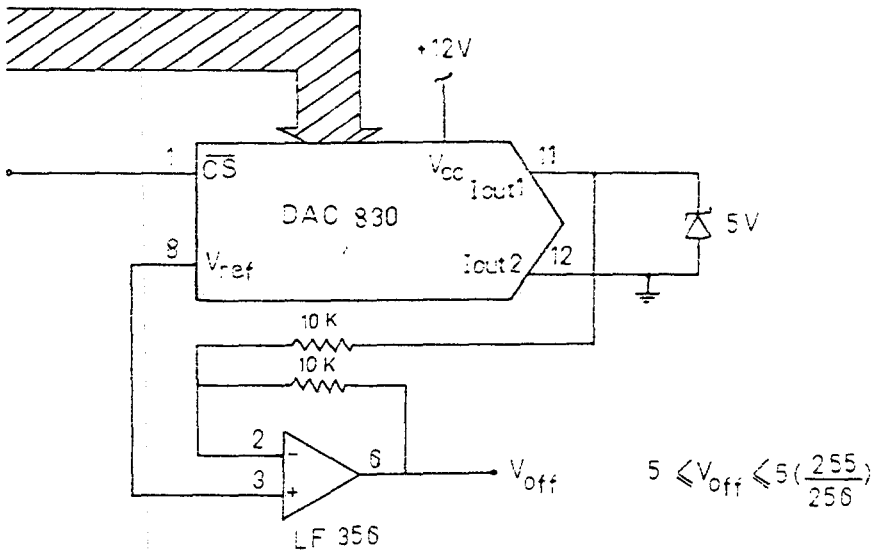
3.2.7. Offset kontrol devresi

Offset kontrol devresi 8 bit'lik çarpıcı DAC 830, işlemsel kuvvetlendirici ve voltaj referans kaynağından meydana gelir. Buradaki DAC genlik kontrol devresinde kullanılan DAC ile aynıdır. Fakat DAC akım çıkış modunda çalışmaktadır. Bu mod referans voltajını çıkışa bağlayarak ve Vref'den akım çıkışı alınarak yapılır (Şekil 3.10). Akım çıkışı uygulanan binary sayı ve Vref gerilimi ile oratılıdır. İşlemsel kuvvetlendirici hem tampon görevi görür hem de DAC'ın çıkışındaki akımı gerilime çevirir.

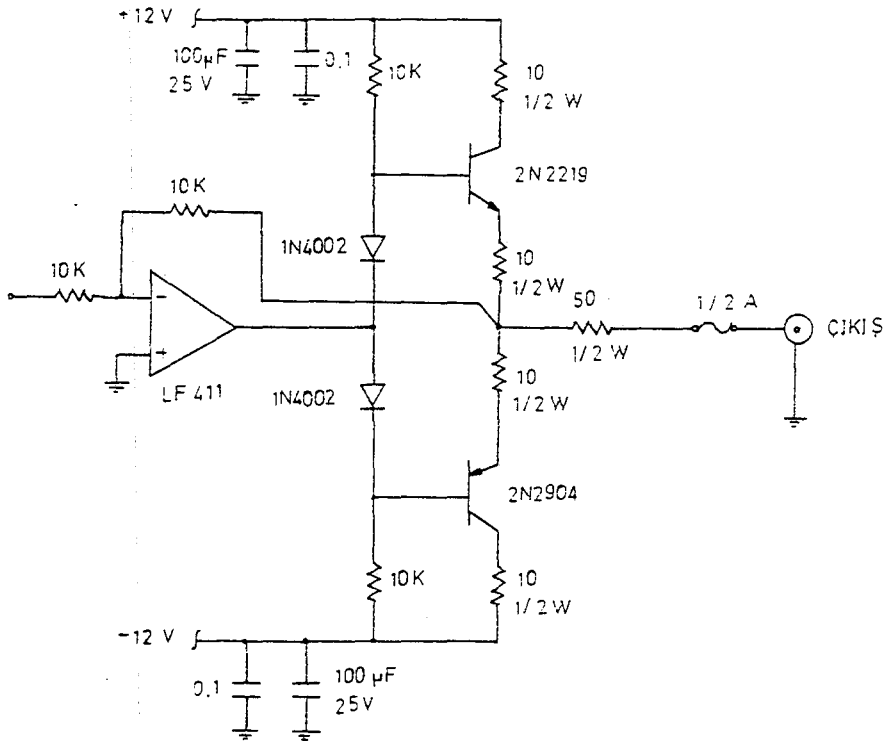
Offset kontrol devresi çıkıştaki sinyale DC seviye eklemenin yanında sinyal üretiminde ortaya çıkabilecek offset hatalarının giderilmesini sağlar.

3.2.9. Çıkış sürücü katı

Çıkış sürücü katı empedansı 50Ω 'a kadar olan yükleri sürebilmemiz için gerekli olan akımı sağlayan B sınıfı yükselteçten ve bir eviriciden meydana gelmektedir (Şekil 3.11).. Yükselteçten eviriciye negatif geri besleme yapılarak yükseltecin çıkış direnci düşürülmüş ve böylelikle çıkışa bağlanan seri bir 50Ω direnç ile cihazın çıkış empedansının 50Ω olması sağlanmıştır.



Şekil 3.10 Offset kontrol devresi

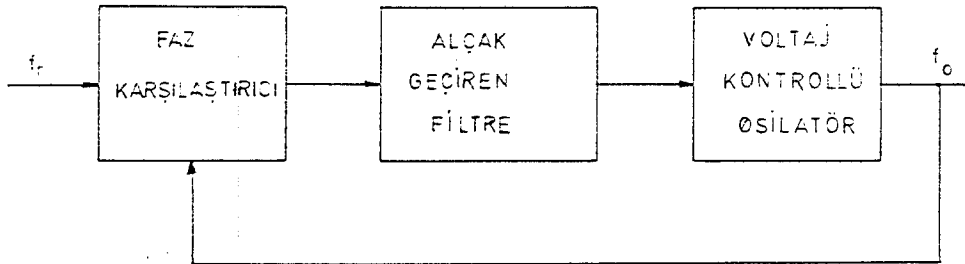


Şekil 3.11 Çıkış sürücü devresi

3.2.9. Frekans sentezleyici

Frekans sentezleyici kartı PLL (Phase Locked Loop).8253 programlanabilir bölücü ve frekans çıkış seçicisinden meydana gelmektedir. Bu devre adres sayıcılar için programlanabilir saat sinyali üretir.

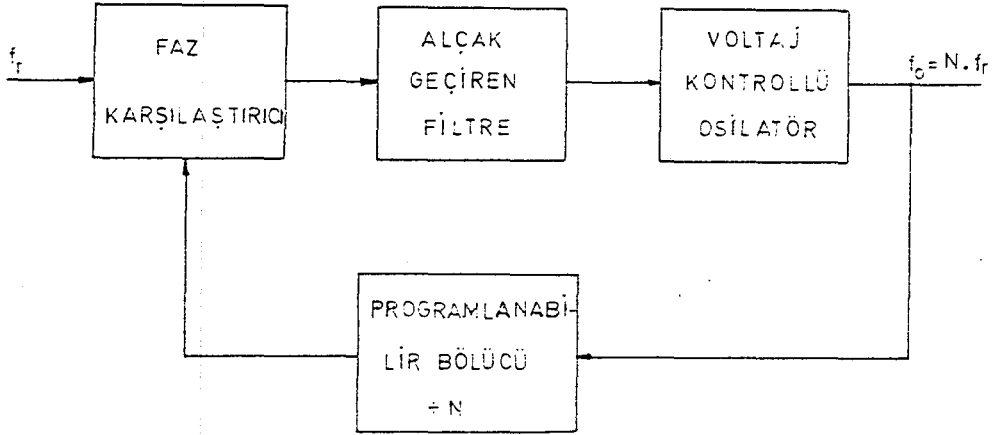
PLL devresi veya tekniği değişken osilatörün frekansını (f_o) ve fazını girişteki sinyalin ortalama frekansına (f_r) ve fazına otomatik olarak kilitleyen bir devre olarak tanımlanabilir (Şekil 3.12). PLL devresi otomatik frekans yakalama, frekans çarpımı ve frekans sentezleme gibi uygulamalarda çok kullanılır.



Şekil 3.12 PLL devresinin blok şeması

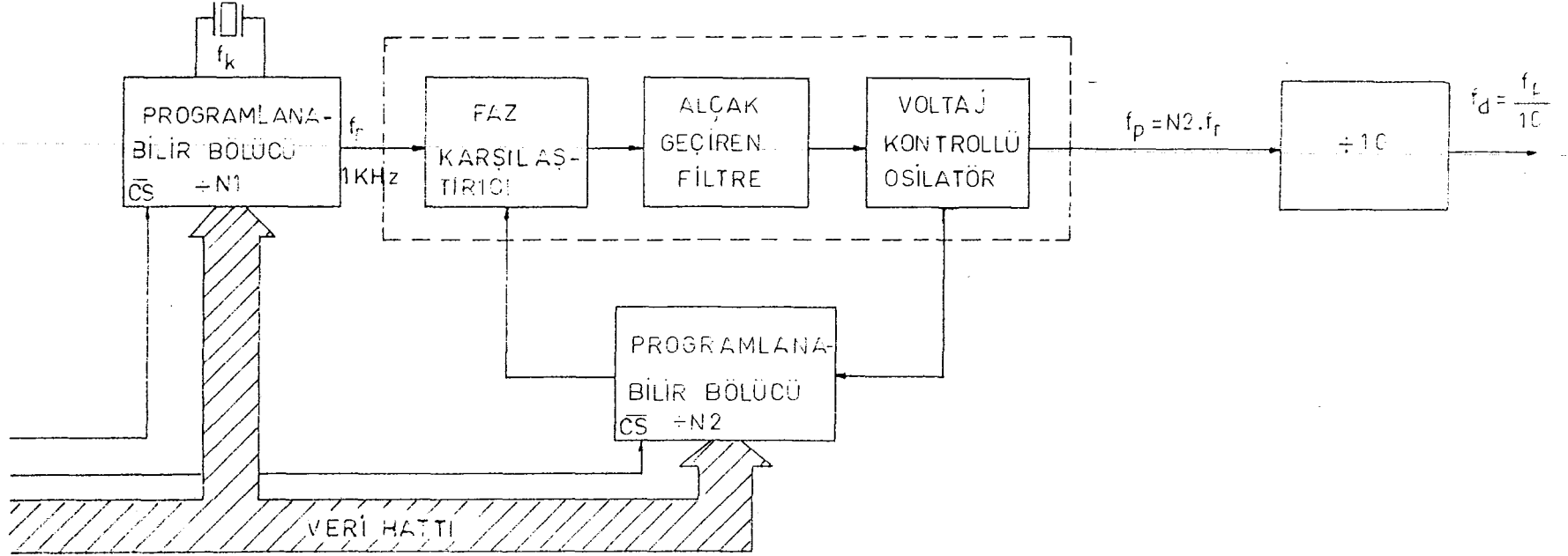
PLL'nin çalışması şöyledir : Faz karşılaştırıcı f_o ve f_r sinyallerini alır. f_o 'ın frekans ve fazını f_r 'ninkisi ile karşılaştırır ve buna karşılık gelen bir hata voltajı üretir. Bu hata voltajı alçak geçiren filtreden geçirilir ve VCO (Voltage Controlled Oscillator) girişine uygulanır. Hata voltajına göre VCO çıkışındaki frekansı arttırır veya azaltır. Bu işlem VCO frekans ve fazı f_r 'ninkilerle uyuncaya kadar devam eder. Farkların sıfır olduğu nokta kilitleme noktası olarak tanımlanır.

PLL tekniğinde geri besleme halkasına programlanabilir bölücü koyarak çıkışta $f_o = N \cdot f_r$ frekansı elde edilebilir (Şekil 3.13). Böylelikle belli bir frekans aralığı sentezlenebilir.

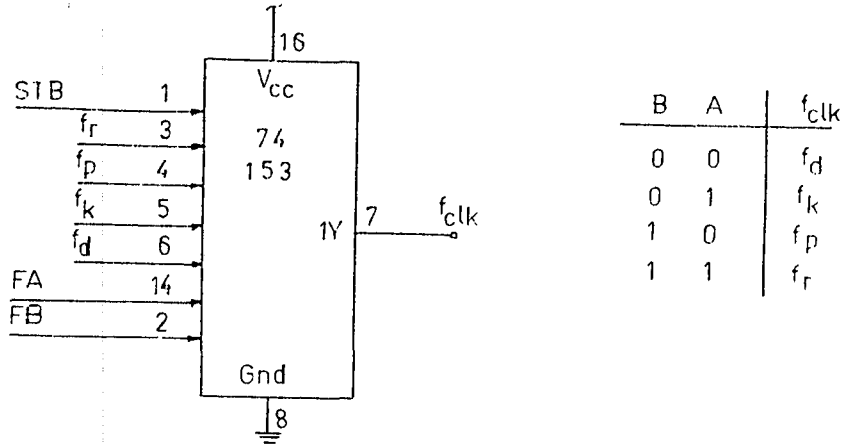


Şekil 3.13 PLL kullanılarak yapılan frekans çarpıcı devresinin blok şeması

Şekil 3.14'de blok şeması verilen frekans sentezleyici kartında PLL olarak 74HC4046 tümdevre kullanılmıştır. Bu tümdevre ile 2KHz-2MHz arasındaki frekanslar sentezlenebilmektedir. PLL devresindeki bölücü olarak 8253 tümdevresinin zamanlayıcı 1'i kullanılmıştır. Bölücü sayıcı N2 mikroişleci tarafından yüklenir. 1MHz osilator çıkışı zamanlayıcı çıkışı tarafından 1000'e bölünerek 1KHz'lik referans sinyali elde edilmiştir. Bu sinyal 744046 tümdevresinin 14 no'lu bacağına uygulanır. Böylelikle 1KHz'lik aralıklarla frekanslar sentezlenebilmektedir. PLL, kristal osilator, zamanlayıcı 0 ve zamanlayıcı 3 çıkışı 74LS153 seçicisine bağlanarak çeşitli frekansların seçilmesi sağlanmıştır. Frekans seçici devresi 3.15' de verilmiştir.



3.14 Frekans sentezleyici devresinin blok şeması



Sekil 3.15 Frekans seçici devresi

3.2.10. Programlanabilir alçak geçiren filtre

Programlanabilir alçak geçiren filtre durum değişkeni filtresi (State variable filtre) kullanılarak yapılmıştır. Bu filtre ikinci derece filtre blokları için oldukça uygundur. Durum değişkeni filtresi alçak geçiren, yüksek geçiren ve band geçiren filtre çıkışları sağlar. Bütün filtre parametreleri kolayca ayarlanabilir. Sekil 3.16'de verilen durum değişkeni filtresinde merkez frekansı DAC1 ve DAC2 ile kontrol edilmektedir. Bu devre için f_0 merkez frekansı ve Q kalite faktörü aşağıdaki formüllerle verilir.

$$C1 = C2, R3 = R4, R7 = R8$$

$$f_0 = \frac{1}{2 \pi R3 C1} \quad (3.3)$$

$$Q = \frac{R6}{R8} \frac{R2}{R5} \quad (3.4)$$

Burada $R4$ ve $R3$ DAC denk dirençlerini göstermektedir ve

$$R3 = R4 = \frac{256 * (\text{DAC Basamak Direnci})}{\text{DAC Sayısal Kodu}} \quad (3.5)$$

3.2.10. Güç kaynağı

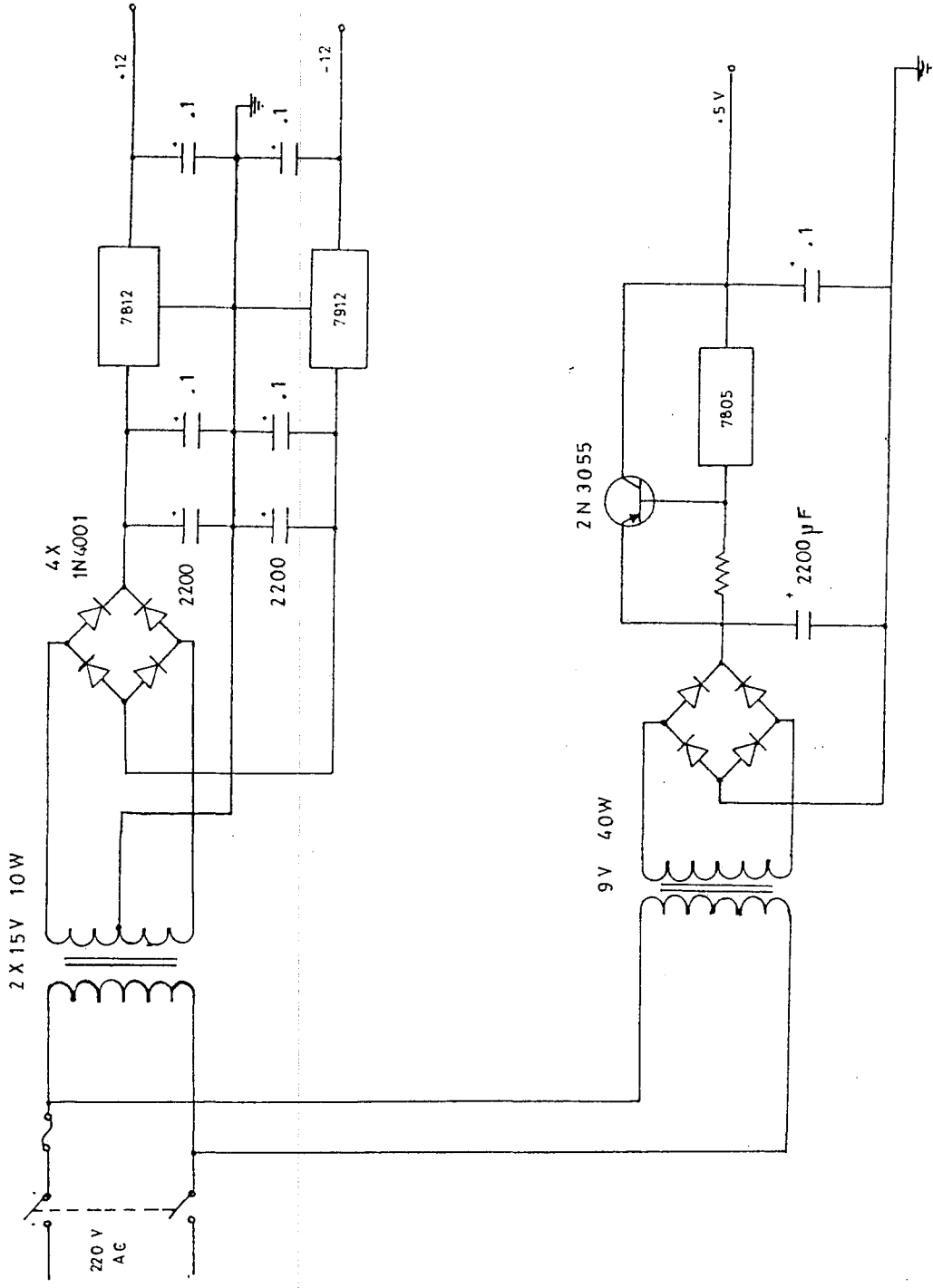
Güç kaynağı +5V, +12V ve -12V regüleli voltaj üretmektedir. Bu devre analog bölümlere +12V ve -12V, sayısal bölümlere ise +5V'luk gerilim vermektedir.

3.3. Diğer Kısımlar

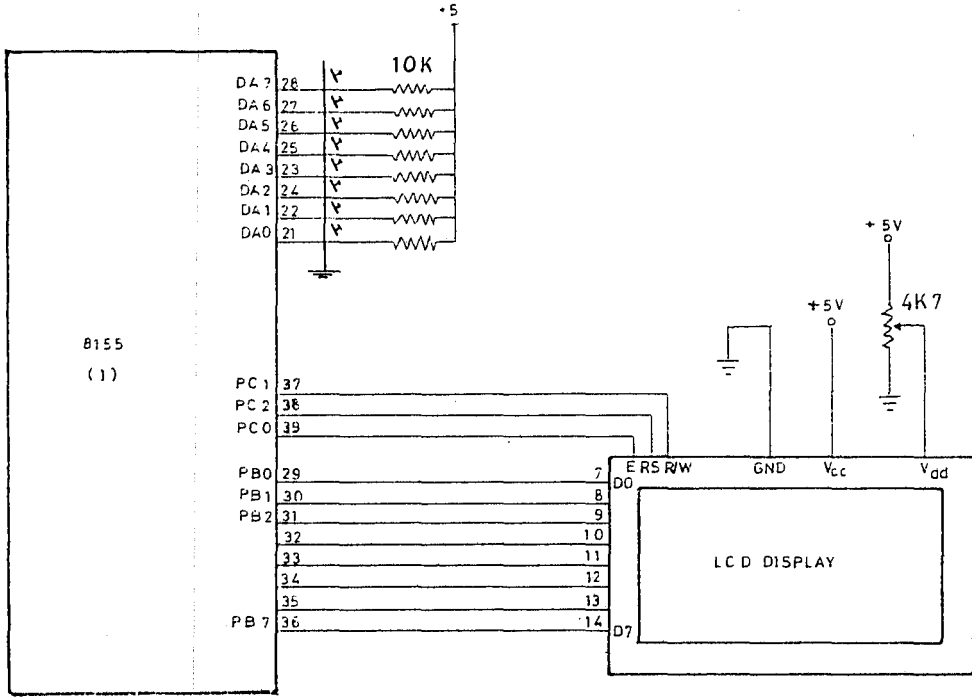
Programlanabilir fonksiyonu üreticinde 9 adet tuş vardır. Her türlü parametre girişi, fonksiyonu seçimi ve diğer kontroller 8 tuş ile yapılmaktadır. Tuşlardan biri ise Kurma (Reset) tuşudur. Tuş takımı 8155 POI'nın A portuna bağlanmıştır.

Herhangi bir tuşa basıldığında mikroişlemci bu girdiyi okur ve tuşu tanıyarak gerekli işlemleri yapar.

2x16 LCD bilgi gösterge sistemde kullanıcı ile iletişim sağlanmaktadır. Bu gösterge kendi belleğine ve tarama devrelerine sahip olduğundan mikroişlemci sadece veri gönderirken ekran ile bağlantı kurmaktadır. LCD göstergenin veri hattı 8155'in B portundan kontrol sinyalleri ise C portundan sağlanmaktadır. Şekil 3.17'de tuş takımının ve LCD göstergenin 8155 portuna bağlantısı gösterilmiştir.



Şekil 3.17 ± 12 volt ve + 5 volt güç kaynağı devresi



Şekil 3.18 Tuş takımı ve LCD göstergenin 8155 ile bağlantı şeması

4. YAZILIM

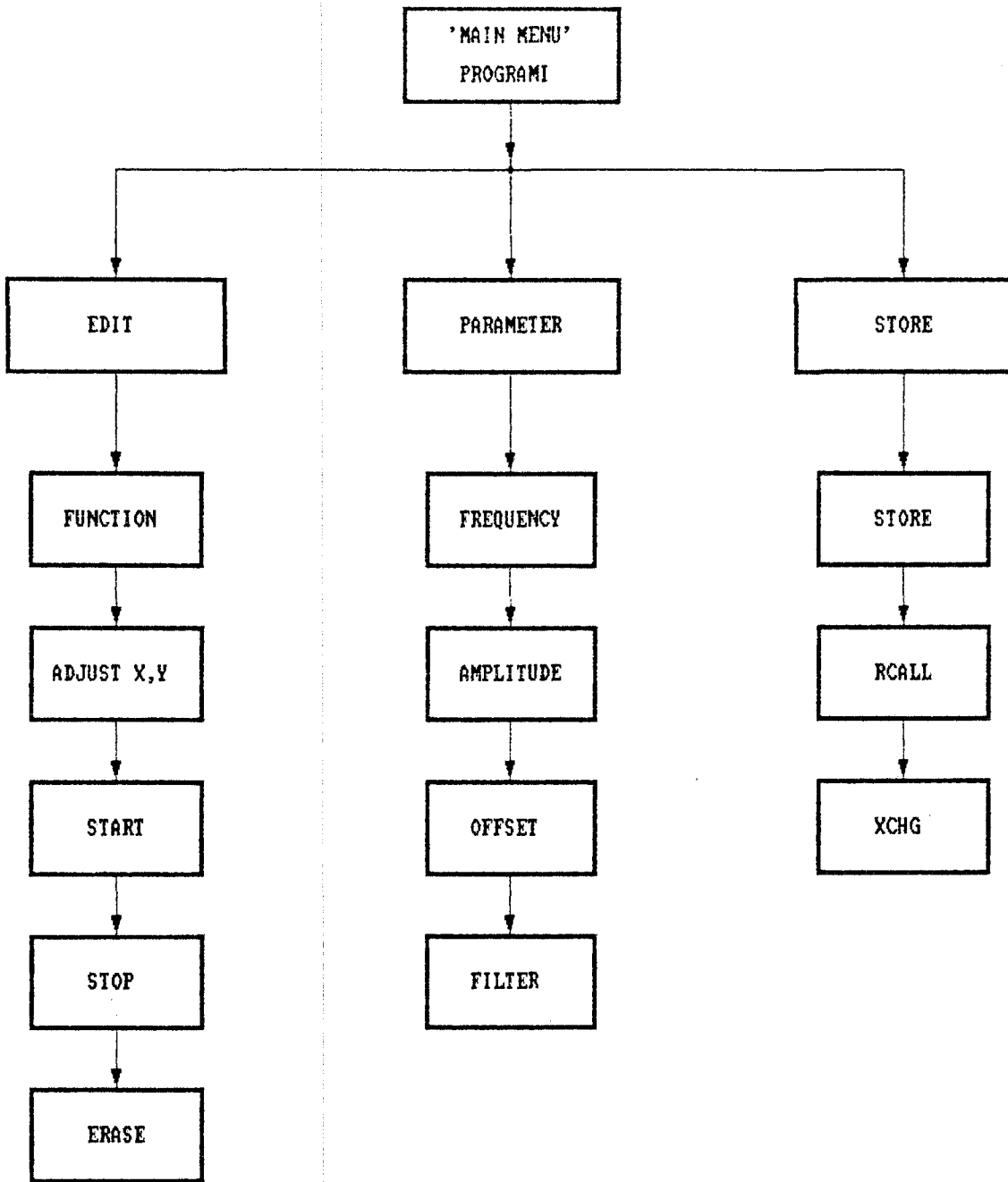
Sistemi işleten programlar 8085 makina dilinde yazılarak 27128 EPROM belleğinin 0000 - 2000H adresleri arasına depolanmıştır. Sistem değişkenleri belleğinin 4000H-4100H adresleri arasına yerleştirmiştir. Sistem belleğinin 5000H - 57FFH adresleri ise dalga şekli belleğini saklamak için ayrılmıştır.

Sistem programları modüler yapıda yazılmış olup her programa diğer bir programdan ulaşmak mümkündür. Programlar fonksiyonlarına göre üç ana guruba ayrılmıştır(Şekil 4.1). Her grup aynı fonksiyonel işlemlere sahip alt grublardan meydana gelmektedir. Bu yapı ile veri girişlerinde kullanıcıya kolaylık getirilmiştir.

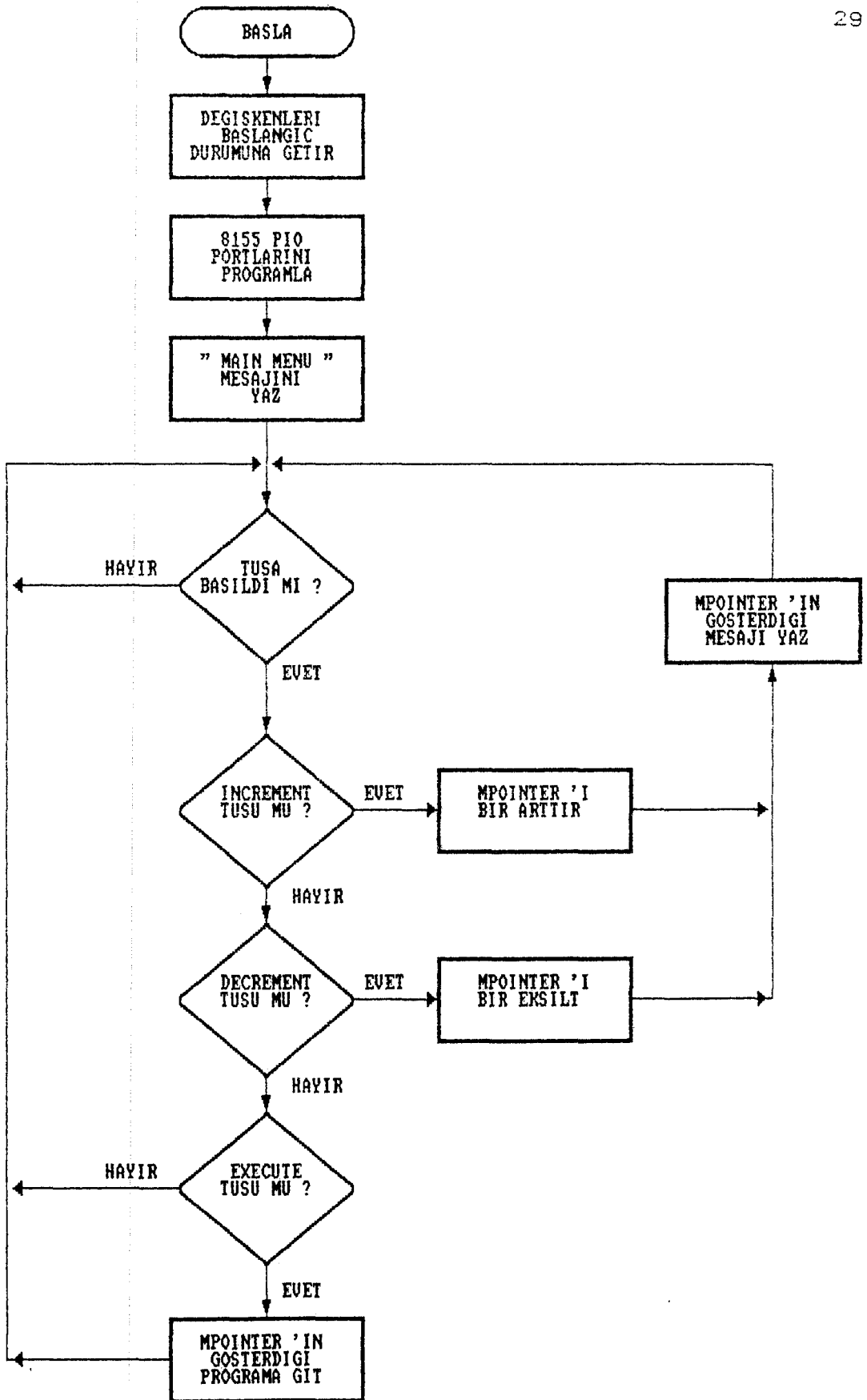
4.1 Akış Diyagramları

Sisteme enerji verildiğinde ANA MENU programı çalışmaya başlar(Şekil 4.2). Bu programda önce sistem değişkenleri başlangıç durumlarına kurulur ve portlar giriş veya çıkışa programlanır. Daha sonra mikroişlemci tuşa basılmasını beklemeye başlar. Bu programdan üç menu programına geçiş yapılır. Bu üç menü programını (Edit, Parameter ve Store) kendi içlerinde alt programlara dallanırlar. Her alt program kendi fonksiyonunu yerine getirdikten sonra geldiği üst programa döner. Bütün programlar modüler olarak yapıldığı için bu modüllere diğer programlardan erişmekte mümkündür.

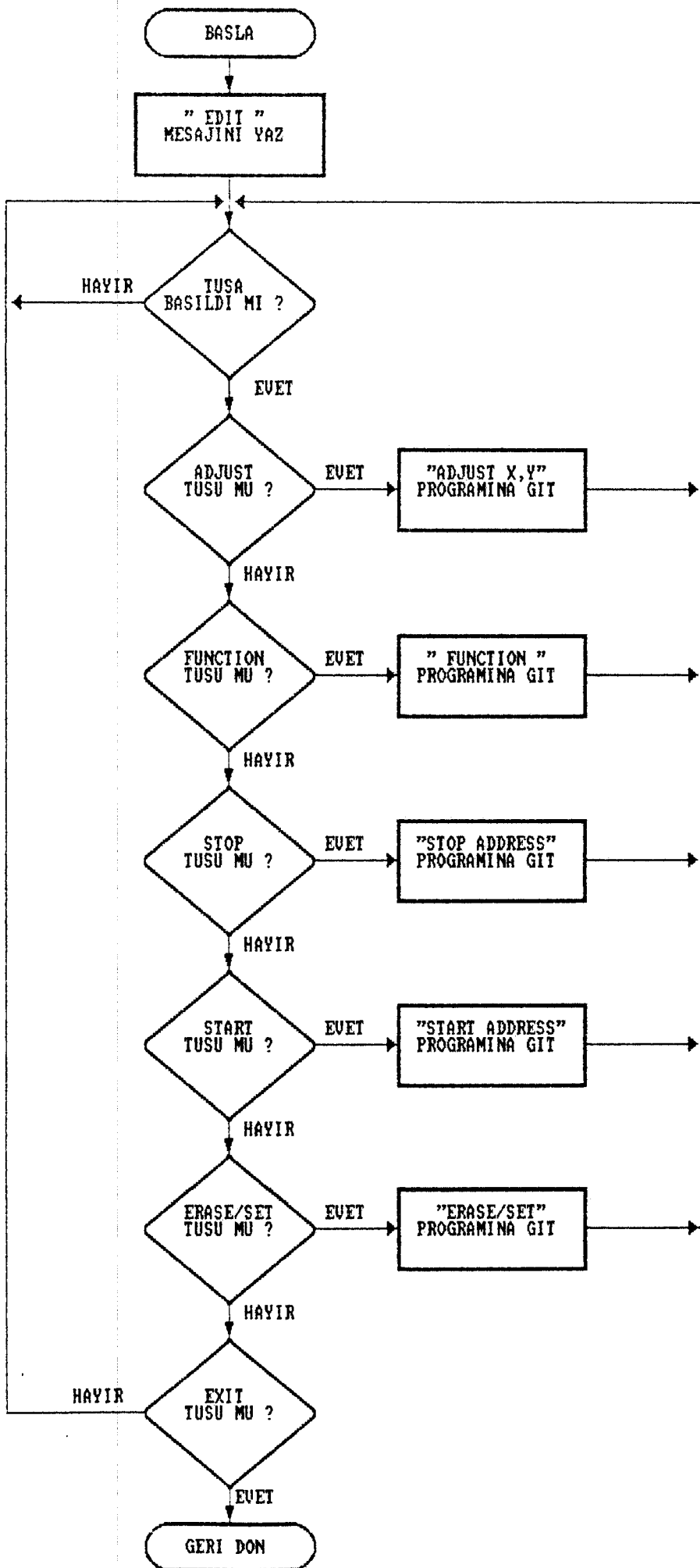
EDIT menu programı beş alt programdan meydana gelir (Şekil 4.3). Bu program ile standart fonksiyon seçimi, kompleks dalga şekil verilerinin dalga şekli belleğine yüklenmesi, dalga şeklinin başlangıç ve bitiş adreslerinin belirlenmesi, dalga şekli belleğinin istenilen bir değere kurulması veya belleğin temizlenmesi yapılabilmektedir. EDIT menu programına ait alt programların akış şemaları Şekil 4.4, 4.5, 4.6, 4.7, 4.8 'de verilmiştir.



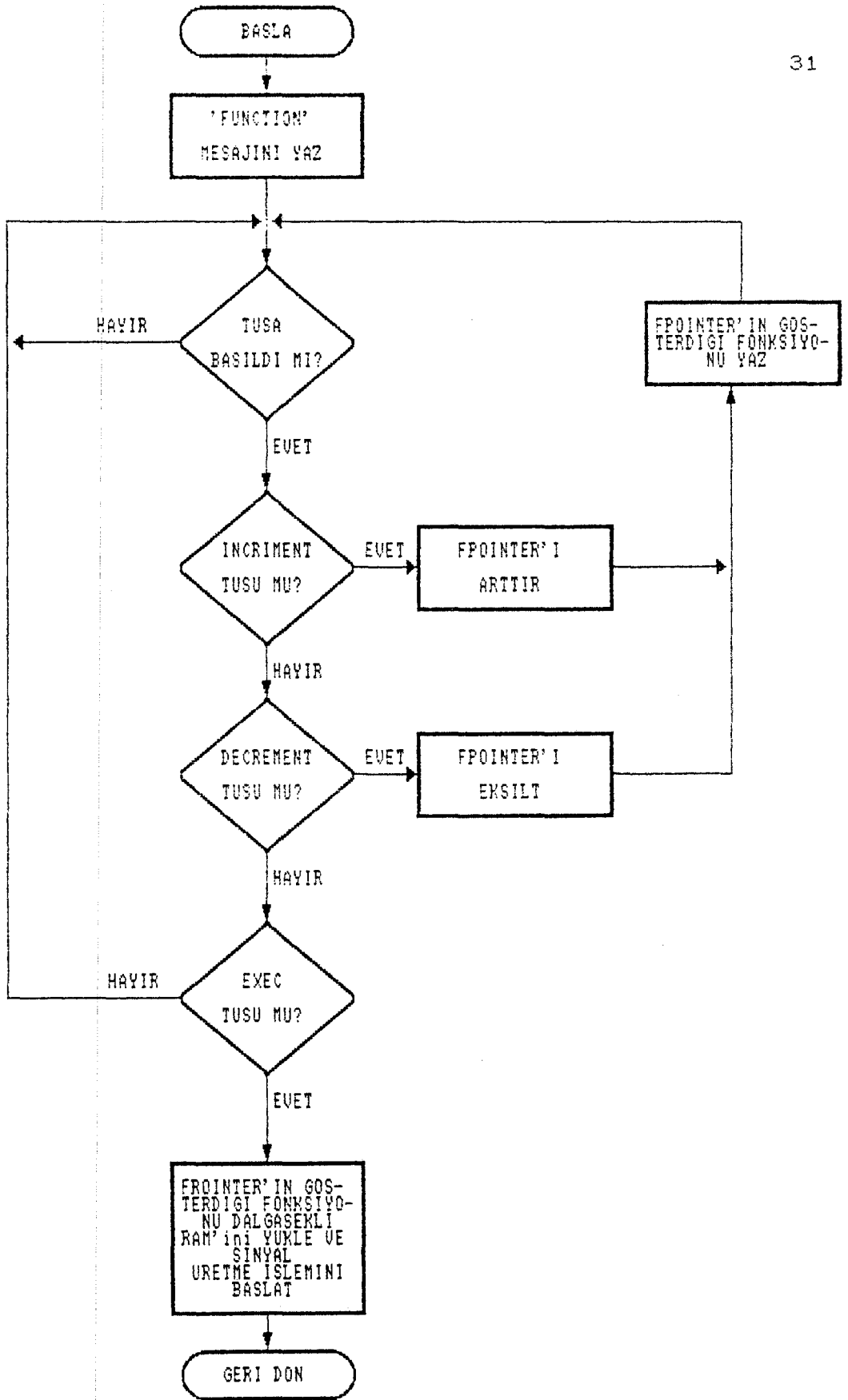
Sekil 4.1 Sistemi geliřtiren menü programları ve bunlara ait alt programlar



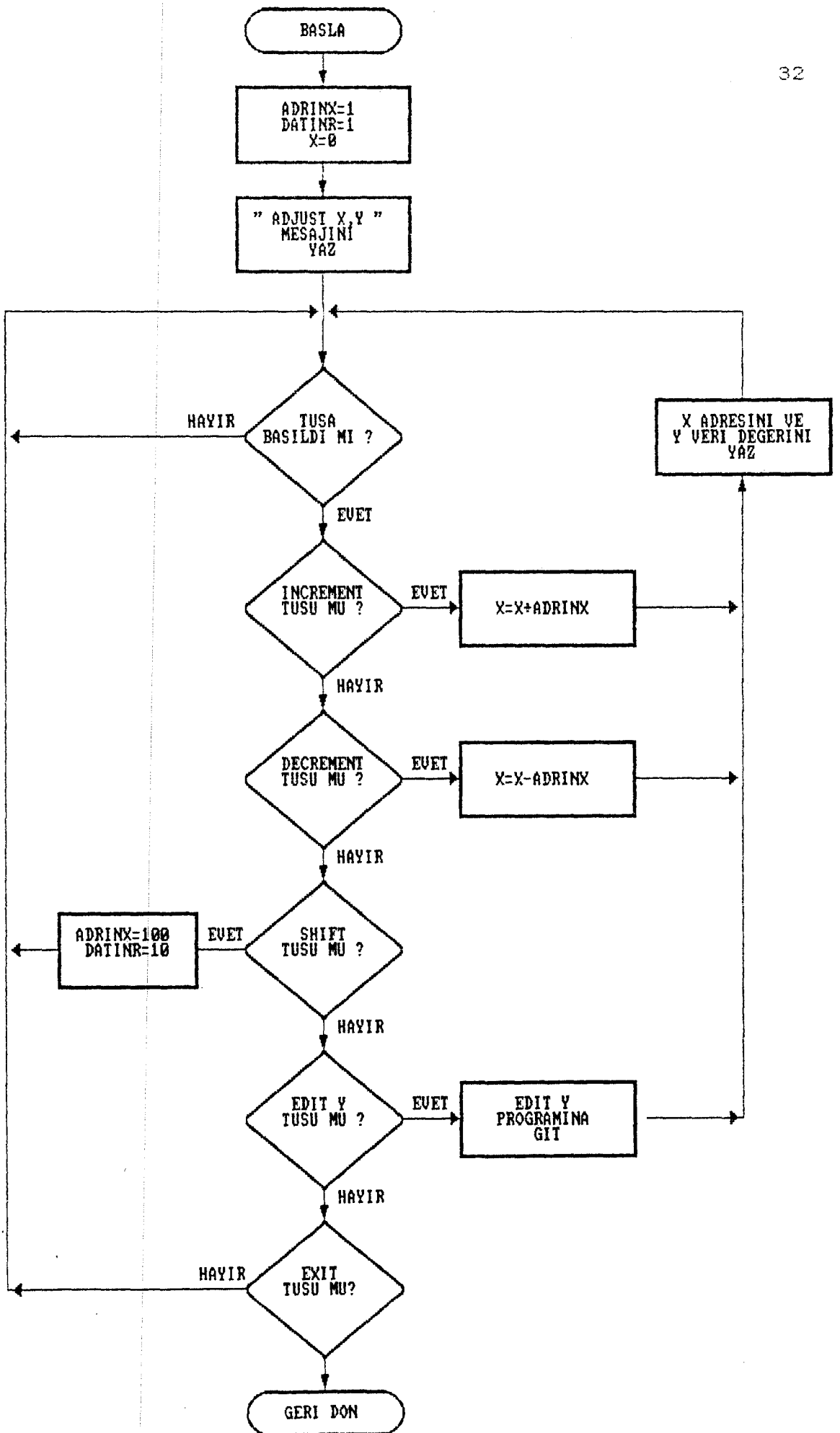
Sekil 4.2 Ana programın akış şeması



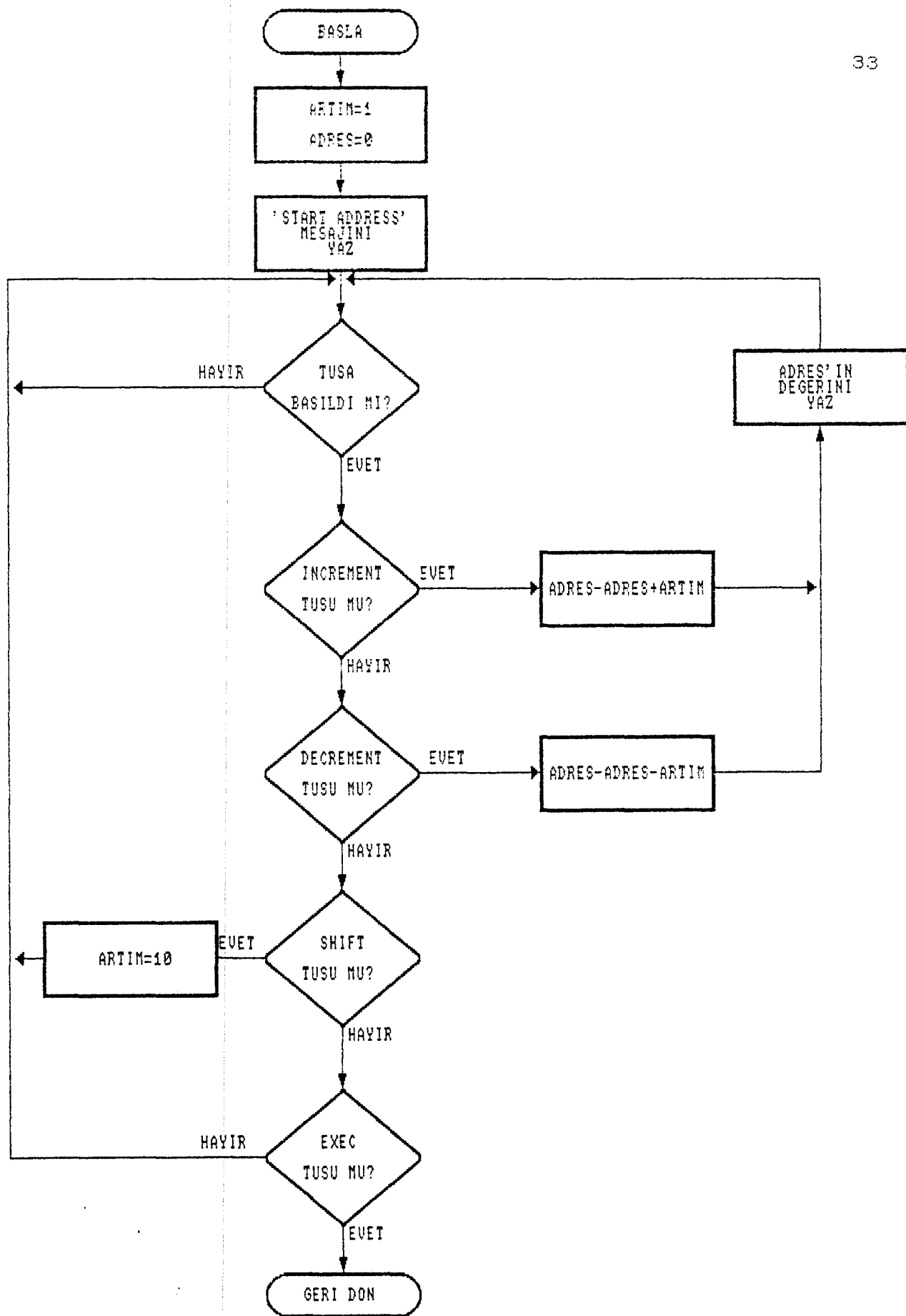
Gambar 4.2 EDIT menu programının akis semasi



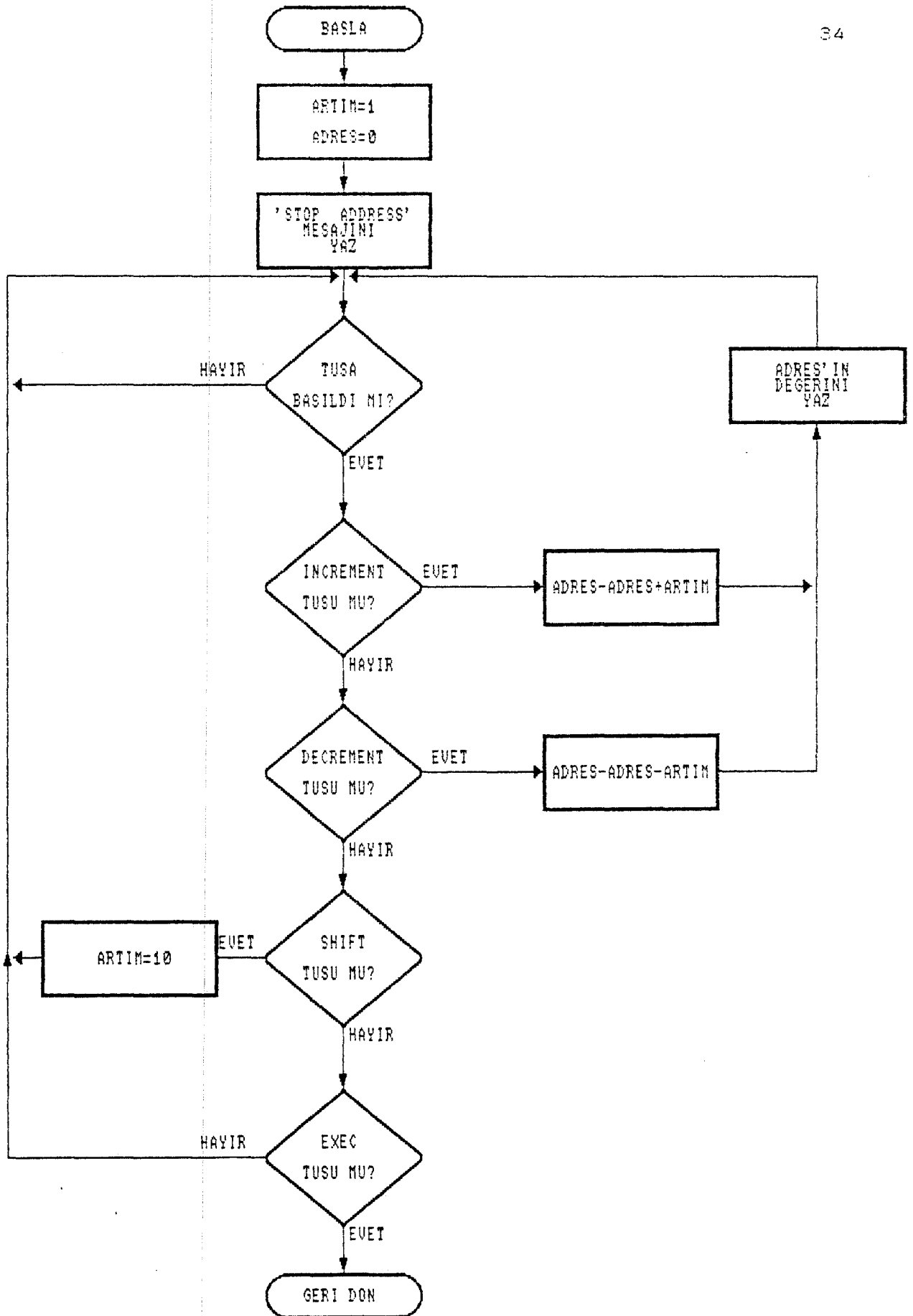
Sekil 4.4 Standart fonksiyon seçimini sağlayan FUNCTION programının akış şeması



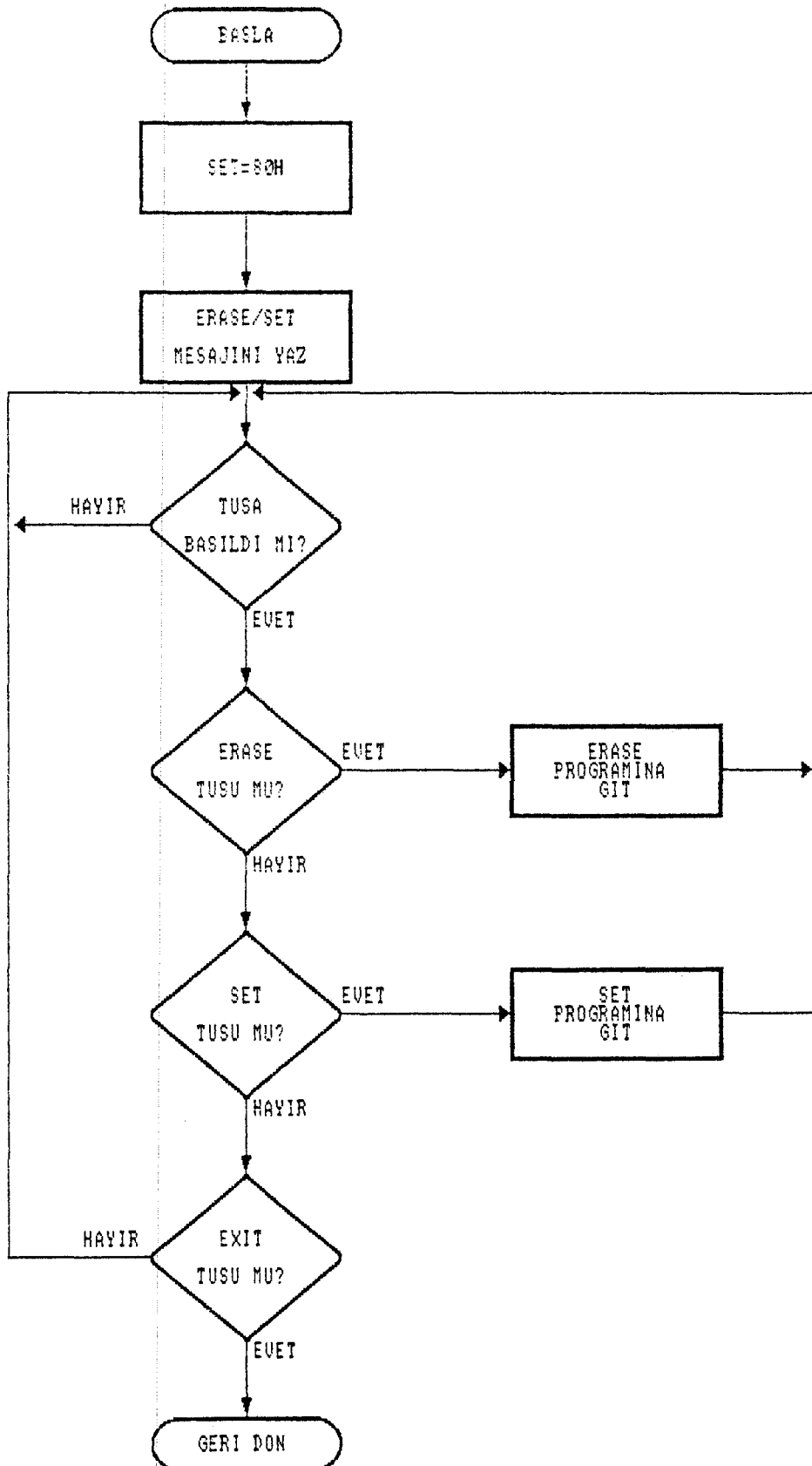
Sekil 4.5 Dalga şekli verilerinin girilmesinde kullanılan ADJ X,Y programının akış şeması



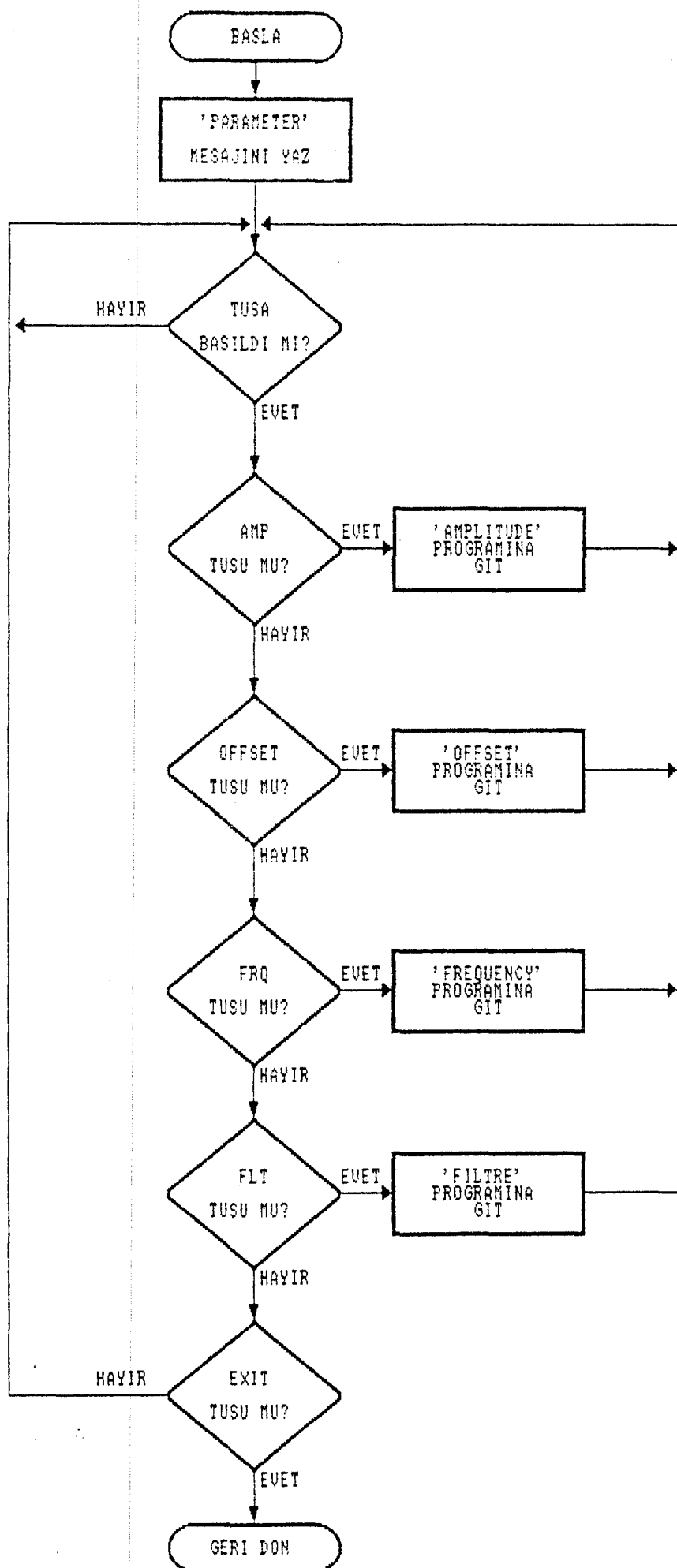
Sekil 4.6 START Address programının akış şeması



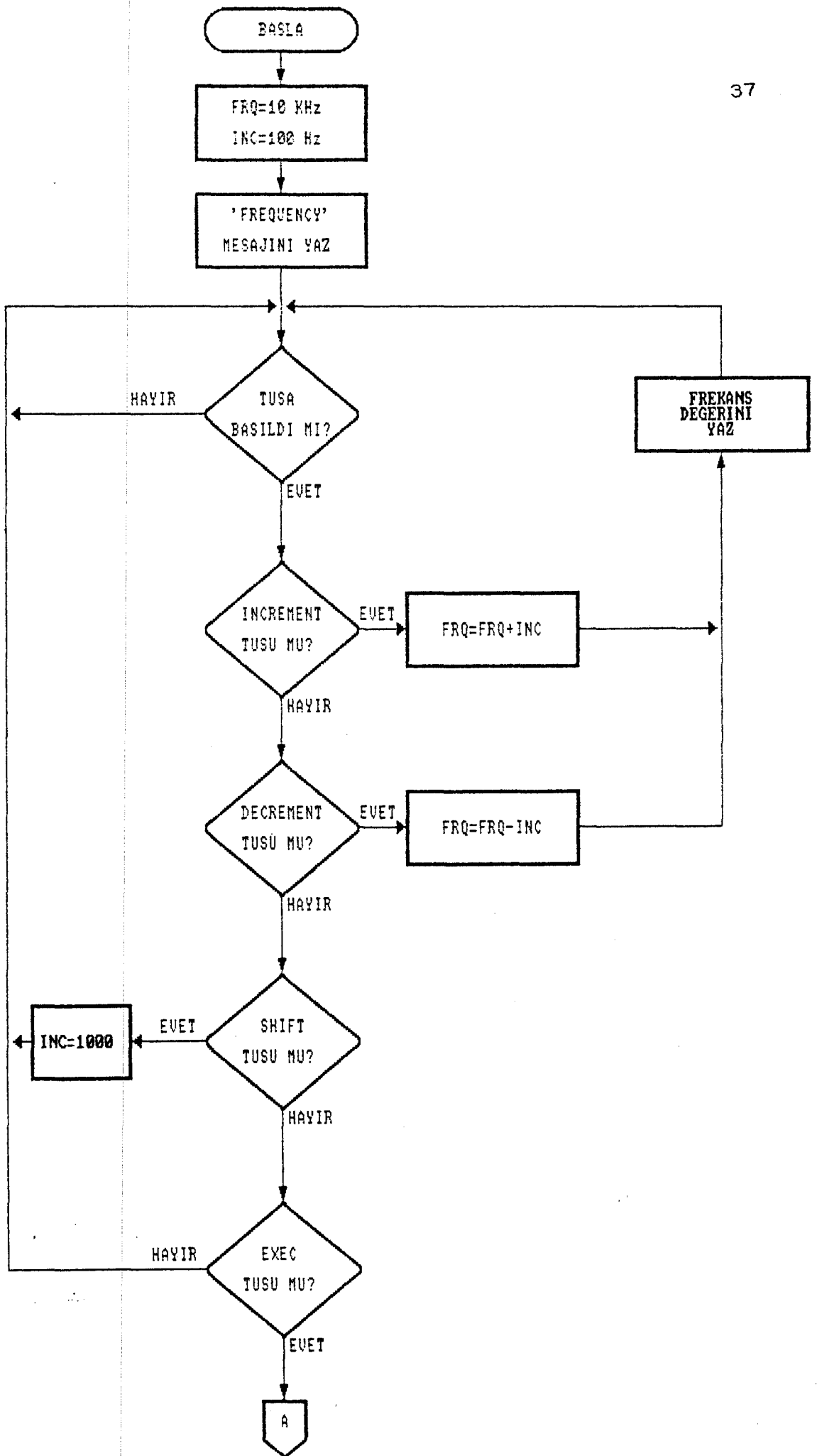
Sekil 4.7 STOP Address programının akış şeması



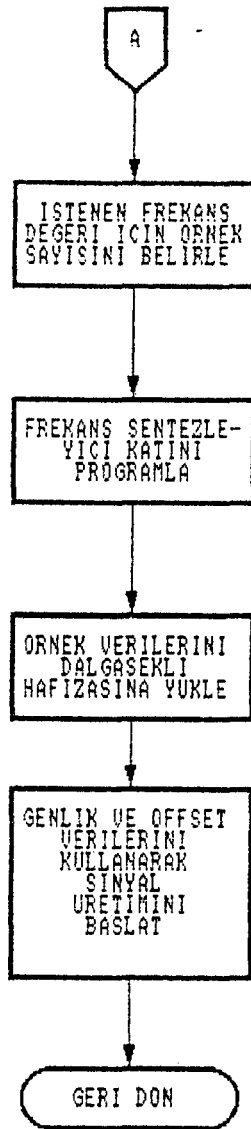
Sekil 4.8 ERASE/SET menü programı akış şeması

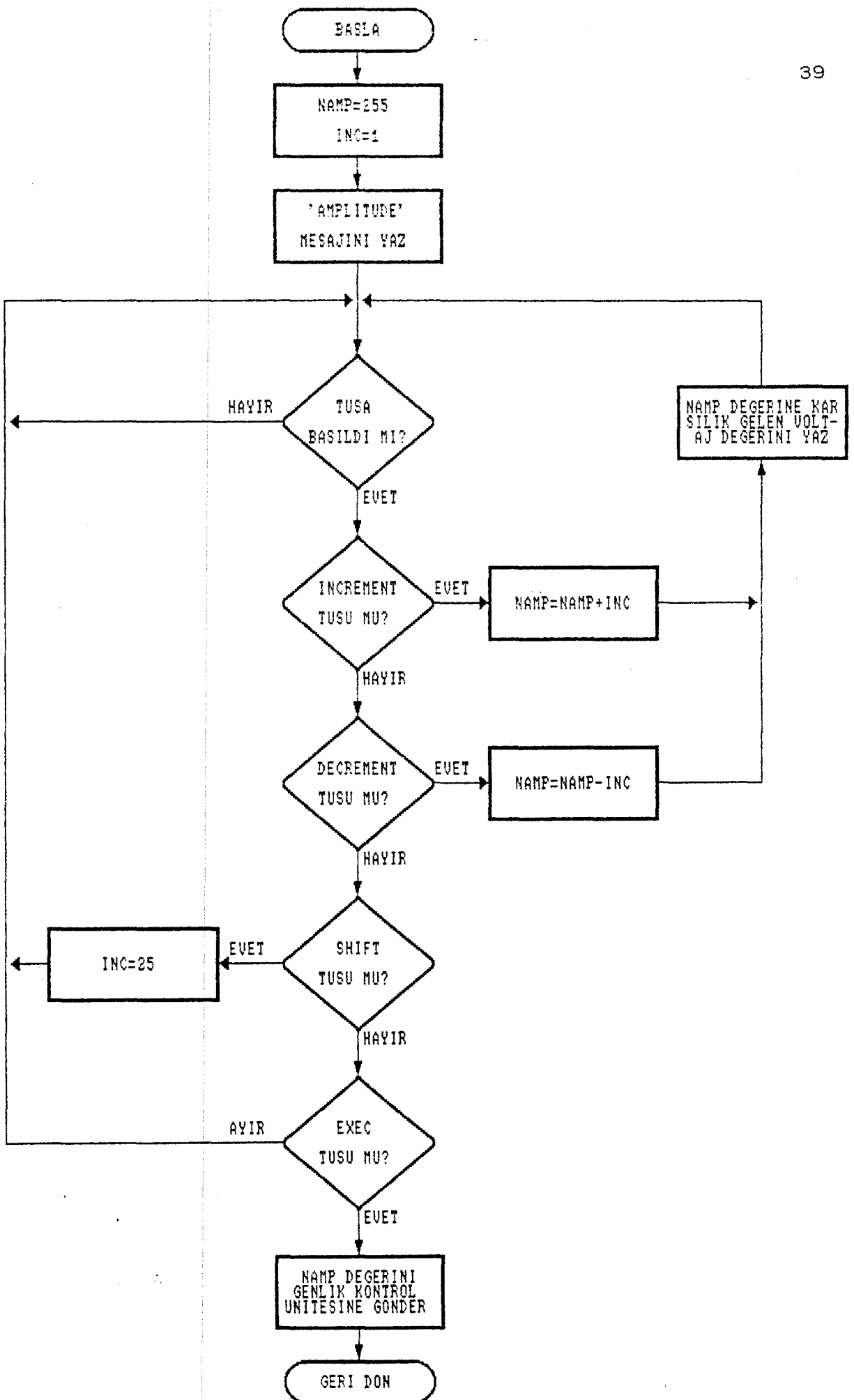


Sekil 4.9 Parametre giriş menü programının akış şeması

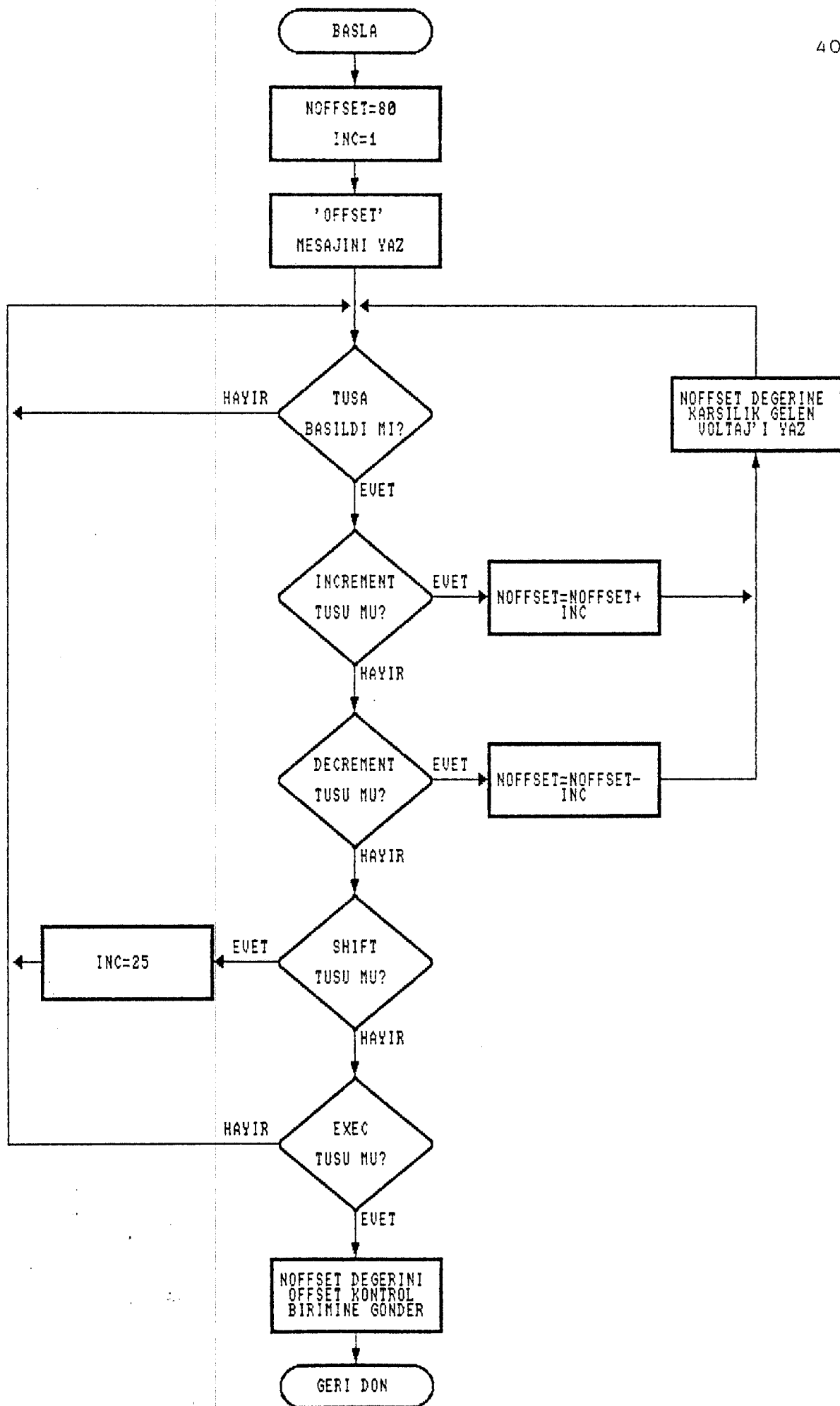


Sekil 4.10 FREQUENCY programının akış şeması

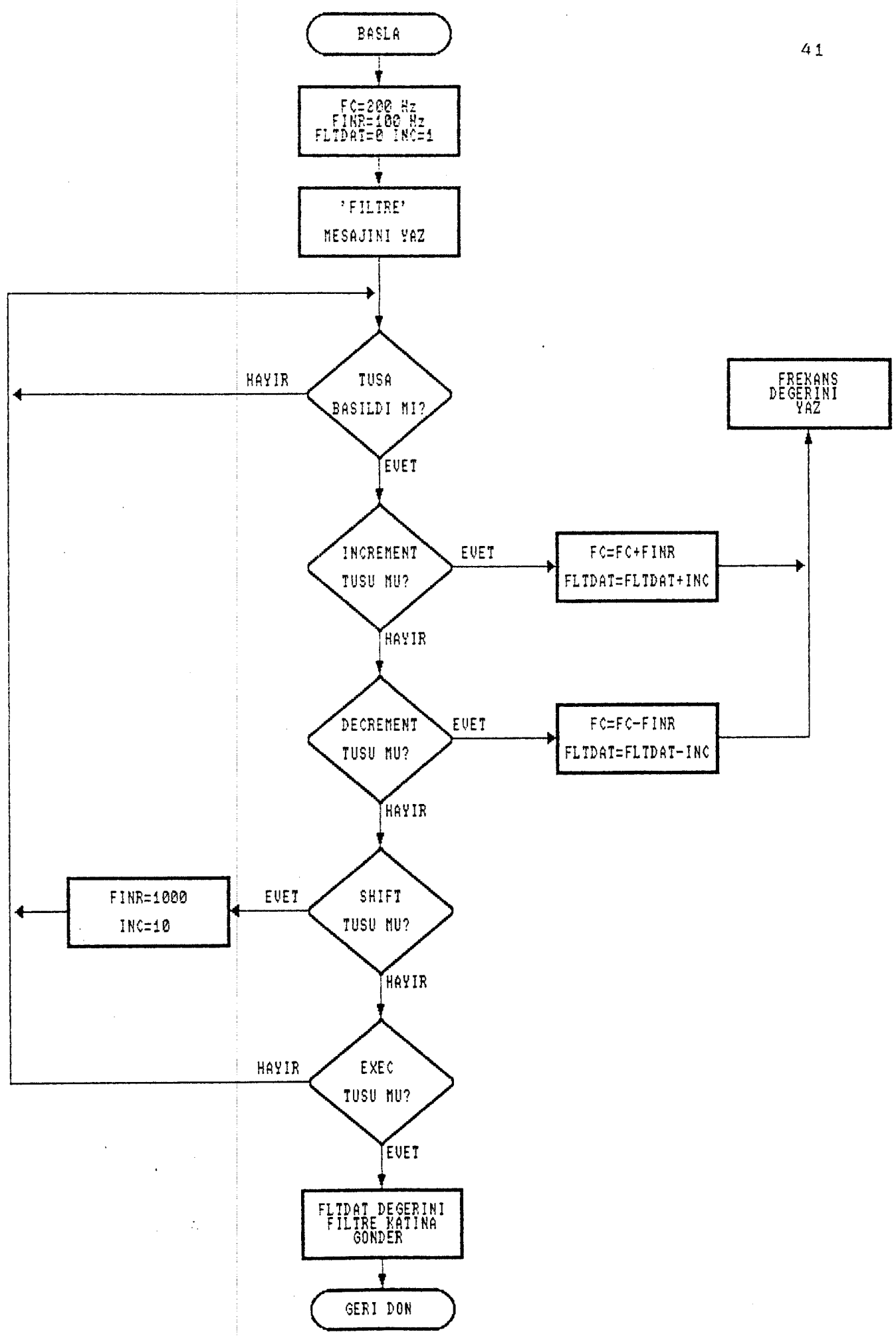




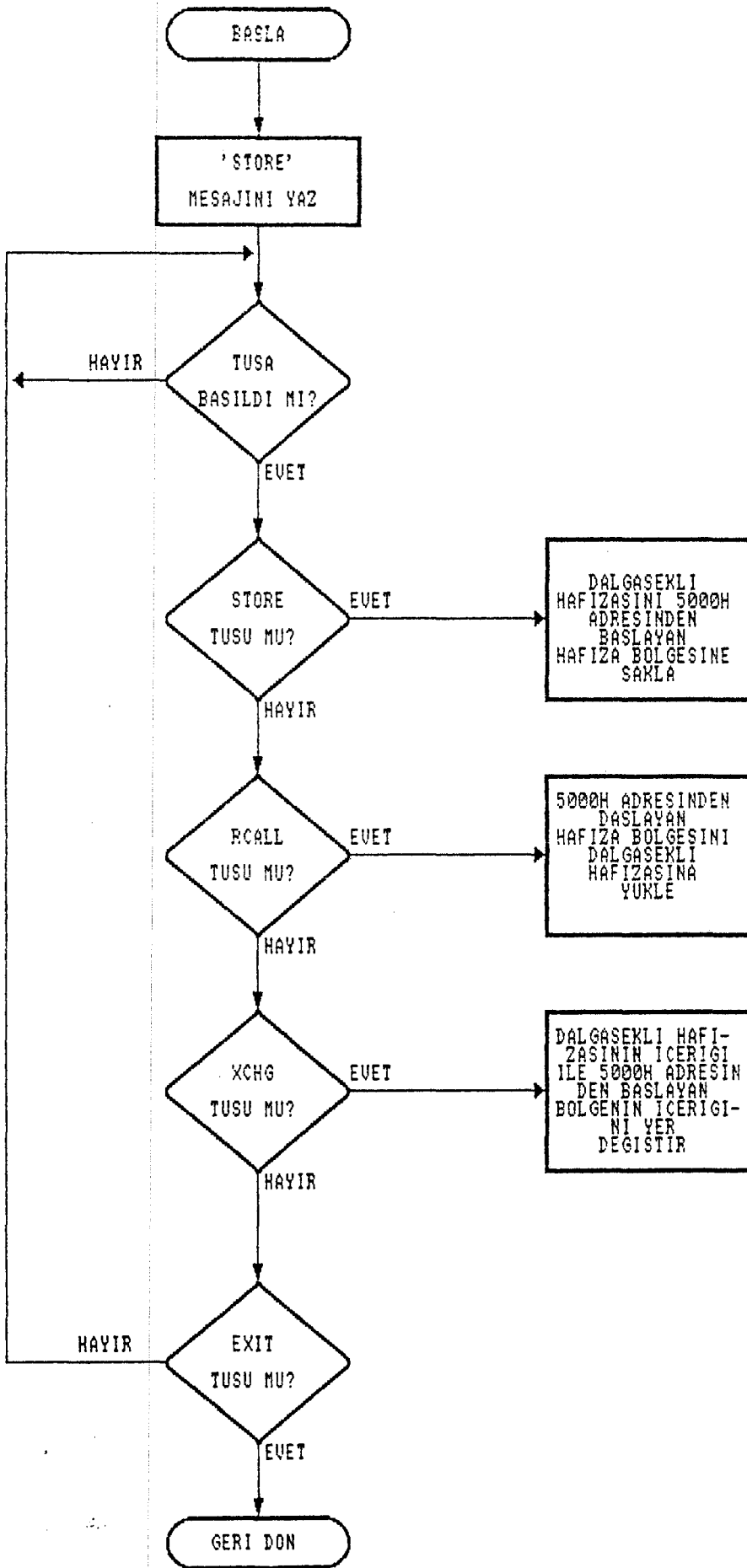
Sekil 4.11 Amplitude programının akış şeması



Sekil 4.12 Offset ayar programının akış şeması



Sekil 4.13 Filtre programının akış şeması



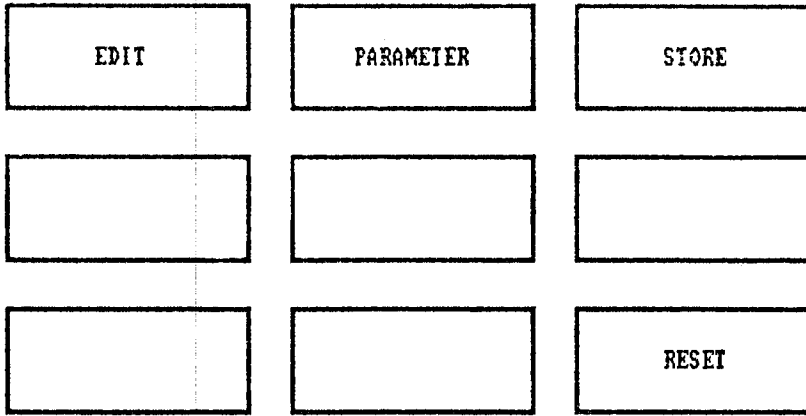
Sekil 4.14 STORE programının akış şeması

PARAMETER menü programı dalga şekli ile ilgili parametrelerin girilmesini sağlar (Şekil 4.9). Dalga şekline ait frekans, genlik ve offset değerlerinin yanında alçak geçiren filtre kesim frekansı belirleyen alt programlara bu menüden geçilmektedir. PARAMETRE menüsüne ait alt programların akış şeması Şekil 4.10, 4.11, 4.12 ve 4.13'de verilmiştir.

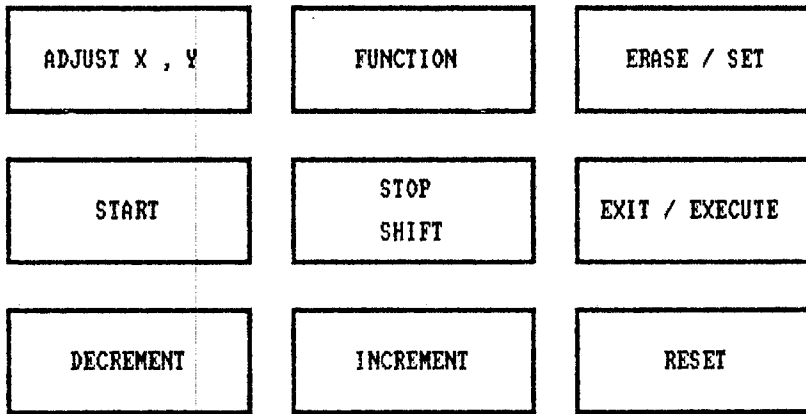
STORE menu programı ise dalga şekli belleğindeki dalga şekli verisinin sistem belleğinde saklanmasını sağlayan üç ana programdan meydana gelir (Şekil 4.14). Bu alt programlar yardımıyla dalga şekli belleğindeki veriler, sistem belleğinin 5000H - 57FFH adresleri arasına bölgede saklanabilir, bu bölgedeki verilerle dalga şekli belleğindeki veriler yer değiştirebilir veya bu bölgede saklı veriler tekrar geri yüklenebilir.

4.2 Tuşların Fonksiyonları

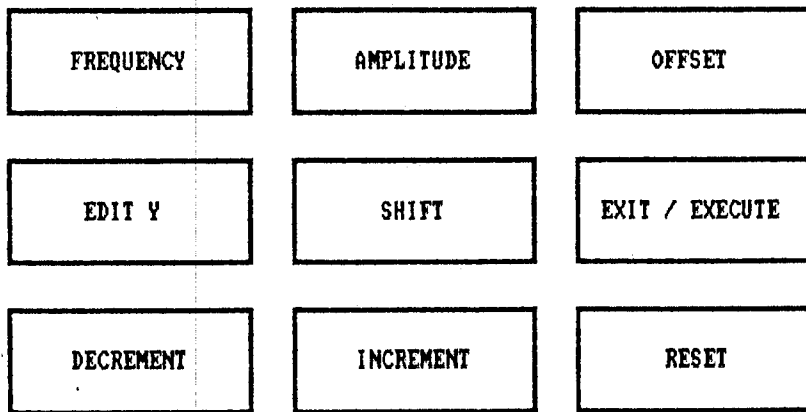
Sistemde her türlü parametre girişi 8 adet tuş ile sağlanmıştır. Tuşlar menu programına ve alt programlara göre farklı fonksiyonlar gösterirler. Bunlardan tuşlardan sadece Arttırma (Increment), Eksiltme (Decrement) ve Yürürlüğe Koy / Çık (Execute/Exit) tuşları her programda aynı fonksiyona sahiptiler. Şekil 4.15, 4.16, 4.17 ve 4.18'de tuşların menü programlarındaki fonksiyonları verilmiştir.



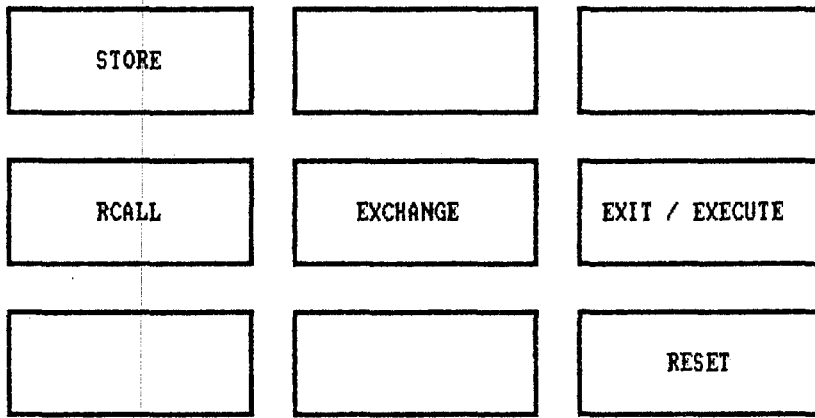
Sekil 4.15 Ana Menü programı tuş fonksiyonları



Sekil 4.16 Edit Menü programı tuş fonksiyonları



Sekil 4.17 Parameter Menü programı tuş fonksiyonları



Sekil 4.18 Store Menü programı tuş fonksiyonları

5. SONUÇLAR

Bu tezde Programlanabilir Sinyal Üretici başarıyla gerçekleştirilmiştir. Cihaz bu haliyle laboratuvar çalışmalarında geleneksel bir sinyal üretici olarak kullanılabilir gibi karmaşık sinyallerin üretilerek elektronik sistemlerin test ve tasarımında kullanılabilir. Programlanabilir sinyal üretici $\pm 5V$ (50Ω yük için $\pm 2.5V$) çıkış voltajı, $\pm 2.5V$ offset voltajı verebilmektedir. Gerilim ve offset değerleri 8 bit'lik hassasiyete sahiptir. Cihaz çıkışı empedansı 50Ω 'dur. Bu üreteç ile 100 Hz - 50 KHz arasındaki standart sinyalleri (Sinüs, üçgen, kare v.b.) üretmek mümkündür. Ayrıca sistem üzerindeki programlanabilir alçak geçiren filtre yardımıyla çıkış sinyalinin en uygun şekilde filtrelenmesi sağlanmıştır. Filtrenin maksimum kesim frekansı 50 KHz'dir. Sistem üzerindeki bir role yardımıyla toplayıcı katı çıkışındaki sinyal filtrelenerek veya filtrelenmeden çıkış sürücüsüne verilebilir.

Programlanabilir Sinyal Üretici'nde kullanılan DAC'ların yeteri kadar hızlı olmaması nedeniyle 40 KHz'in üzerindeki frekanslarda sinyal şeklinde bozulma meydana gelmekte, ayrıca genlikte düşme olmaktadır.

Programlanabilir Fonksiyon Üreteci TRIG IN, SUM IN, SYN IN, SYN OUT ve EXT CLK girişlerine sahip bulunmamaktadır. Bu harici girişler ilave edilerek cihaz bir fonksiyon üreticinin bütün fonksiyonlarını yapabilir hale getirilebilir. Ayrıca cihazın bir MODEM hattı üzerinden herhangi bir bilgisayarla bağlantısı sağlanabilir.

KAYNAKLAR DİZİNİ

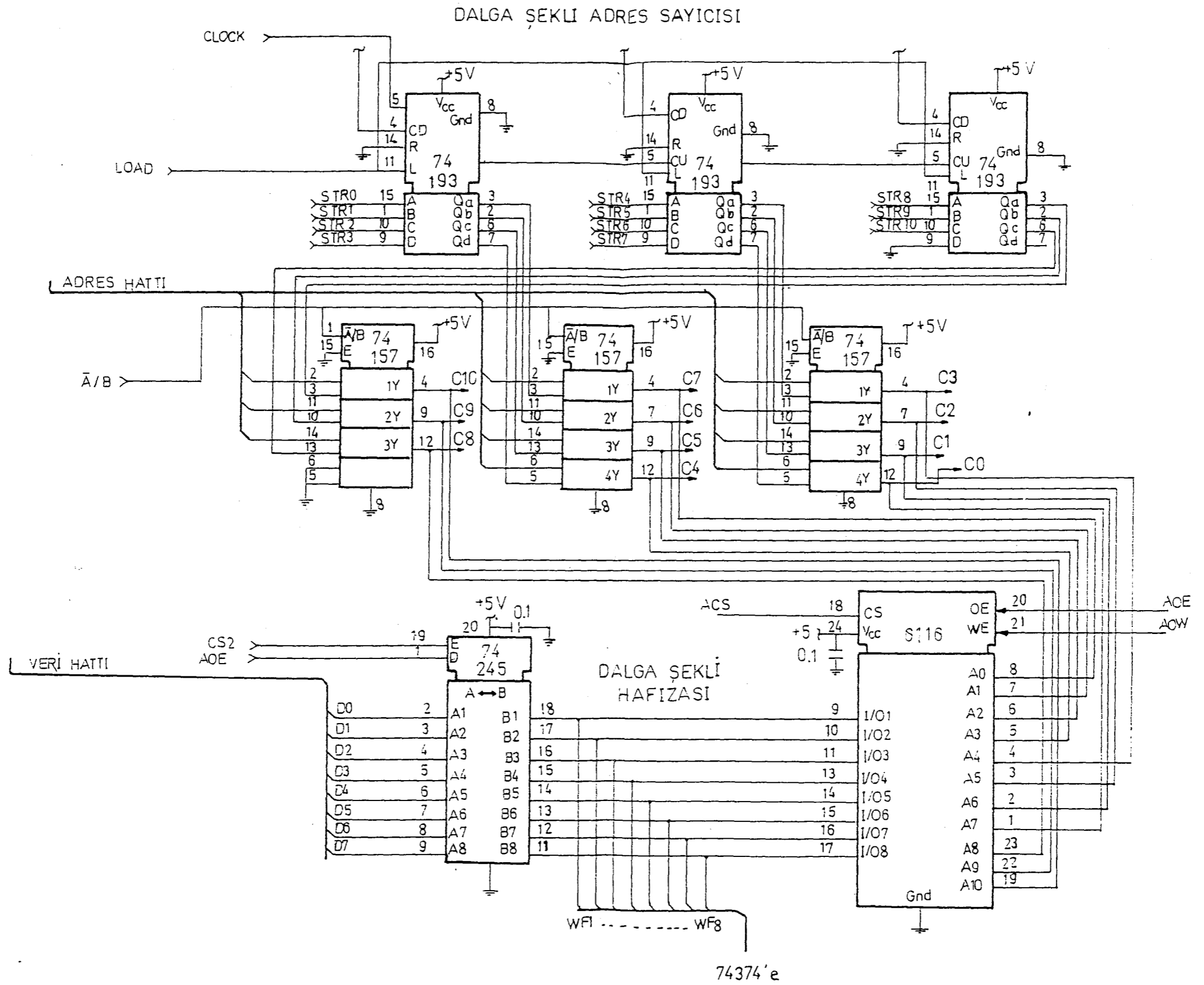
EDN, 1984, Arbitrary waveform generators provide versatility and utility, 199-208

Radio & Electronics World, 1987, Phase-Locked Loop (PLL), 27-30

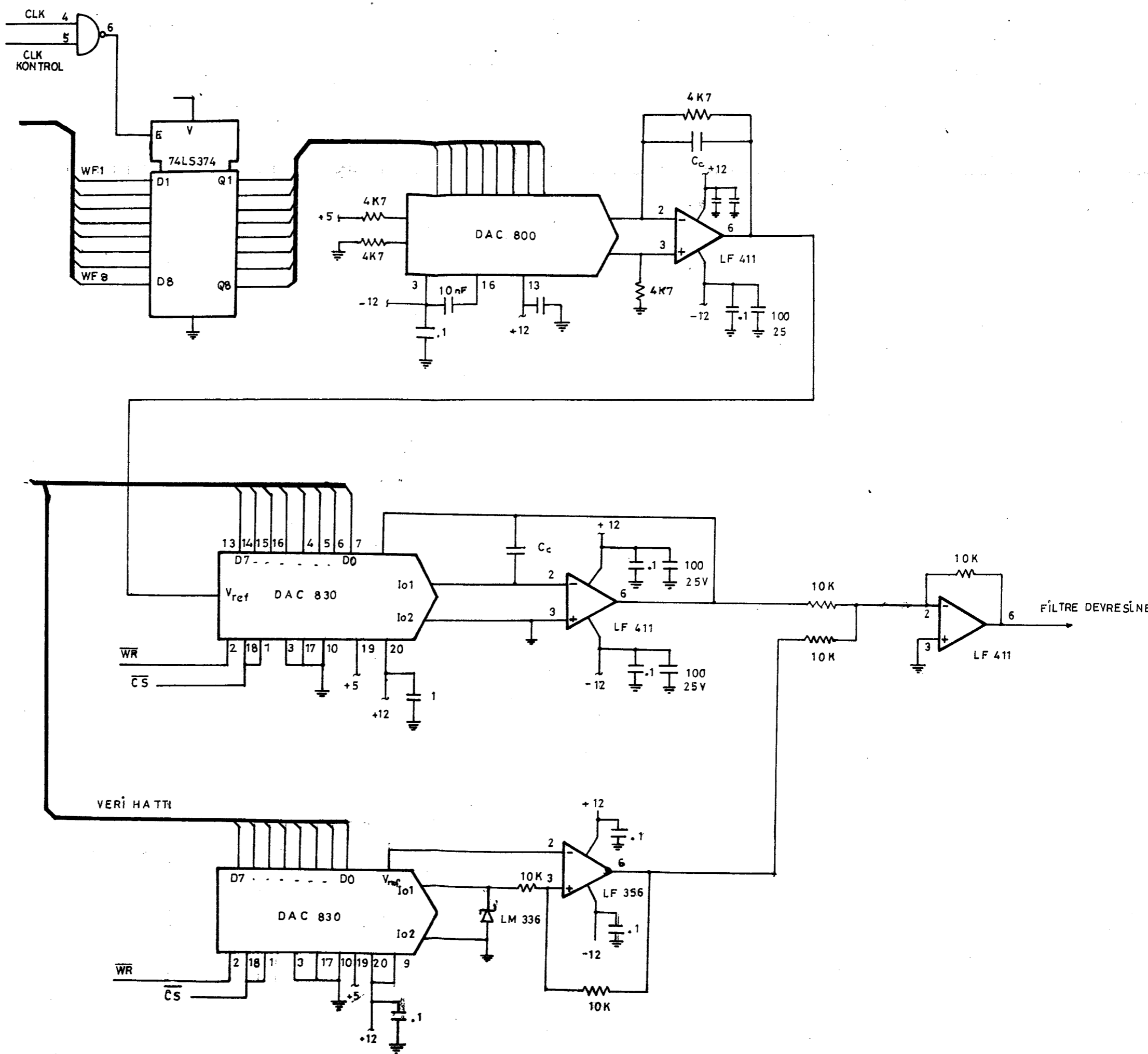
Analog Device, 1986, Methods for generating waveforms and vectors using multiplying D/A converters, 1, 20-43

Linear Data Book, 1985, 490 p.

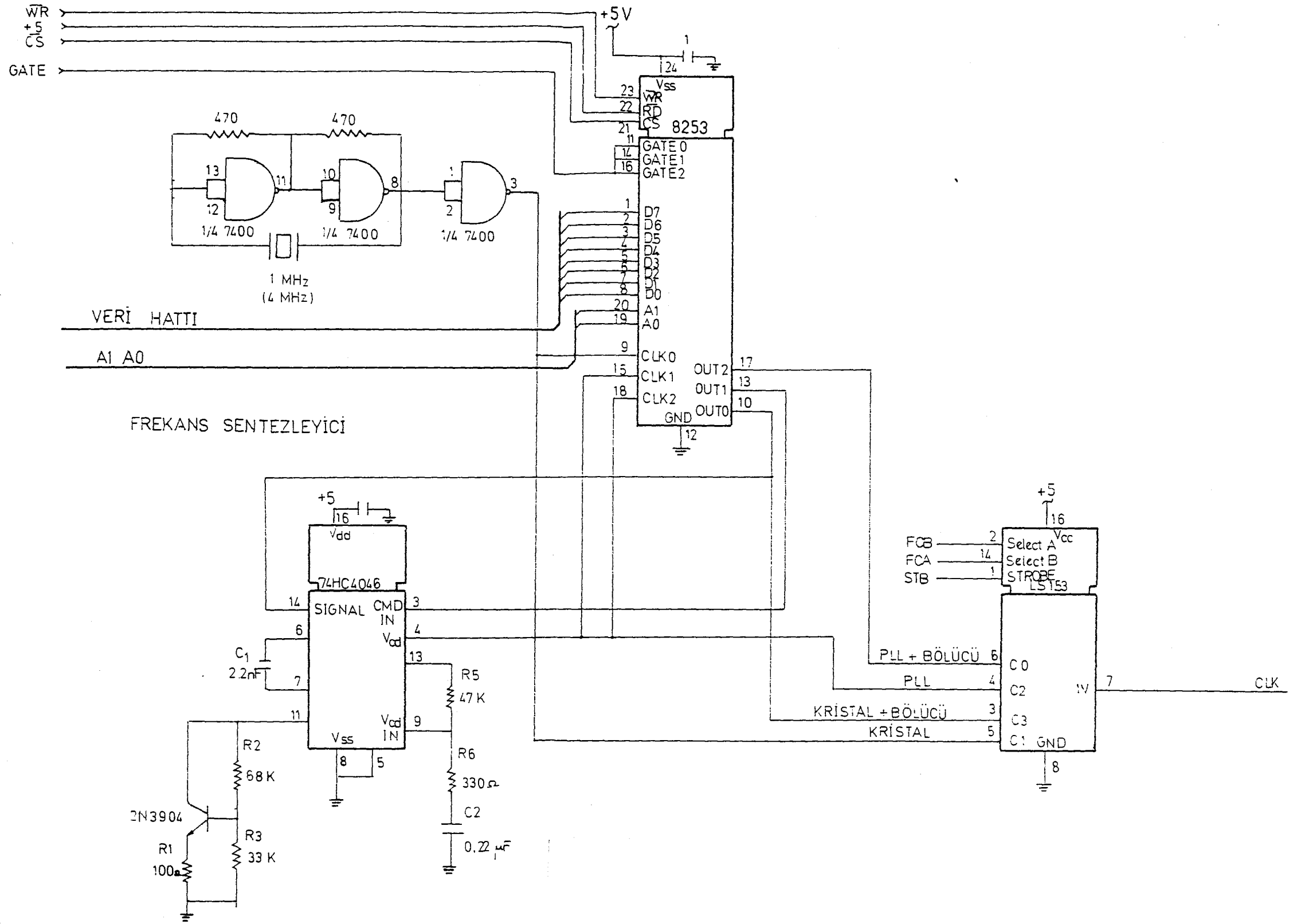
Heatkit Educational Systems, 1982, Phase-locked loops, 260 p.



Ek2. Adres Sayıcısı, Adres Seçicisi, Tutucu ve Dalga Şekli Belleğinin Devre Şeması



Ek 3. Dalga Sentezleyicisi, Genlik Kontrol Devresi ve Offset Kontrol Devresinin Şeması



Ek 4.Frekans Sentezleyici Devresinin Seması



8085A/8085A-2

SINGLE CHIP 8-BIT N-CANNEL MICROPROCESSORS

- Single -5V Power Supply
- 100% Software Compatible with 8080A
- 1.3 μ s Instruction Cycle (8085A); 0.8 μ s (8085A-2)
- On-Chip Clock Generator (with External Crystal, LC or RC Network)
- On-Chip System Controller; Advanced Cycle Status Information Available for Large System Control

- Four Vectored Interrupt Inputs (One is non-Maskable) Plus an 8080A-compatible interrupt
- Serial In/Serial Out Port
- Decimal, Binary and Double Precision Arithmetic
- Direct Addressing Capability to 64K Bytes of Memory

Intel® 8085A is a complete 8 bit parallel Central Processing Unit (CPU). Its instruction set is 100% software compatible with the 8080A microprocessor, and it is designed to improve the present 8080A's performance by higher system speed. High level of system integration allows a minimum system of three IC's (8085A (CPU), 8156 (RAM/IO), and 8355/8755A (RAM/PROM/IO)) while maintaining total system expandability. The 8085A-2 is a faster version of the 8085A.

8085A incorporates all of the features that the 8224 (clock generator) and 8228 (system controller) provided for the 8080A, thereby offering a high level of system integration.

8085A uses a multiplexed data bus. The address is split between the 8 bit address bus and the 8 bit data bus. The chip address latches of 8155/8156/8355/8755A memory products allow a direct interface with the 8085A.

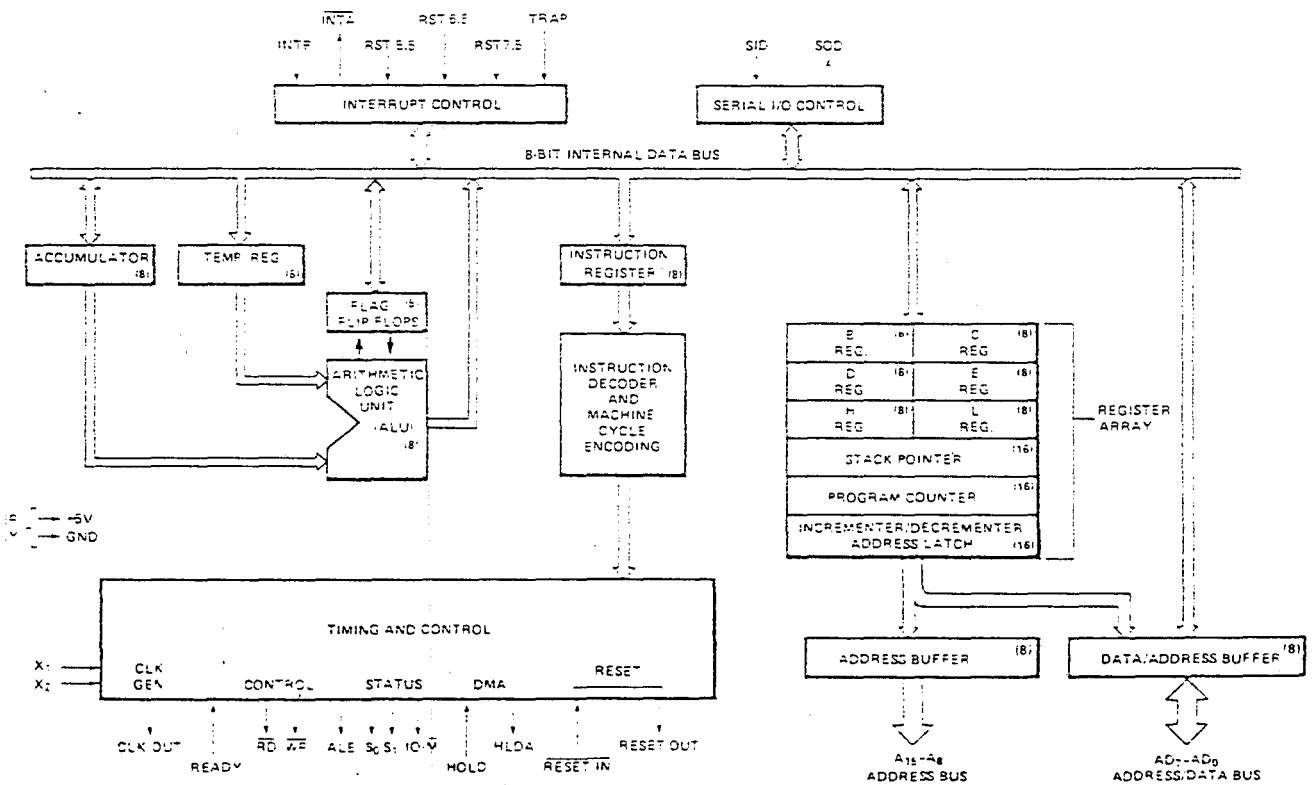


Figure 1. 8085A CPU Functional Block Diagram

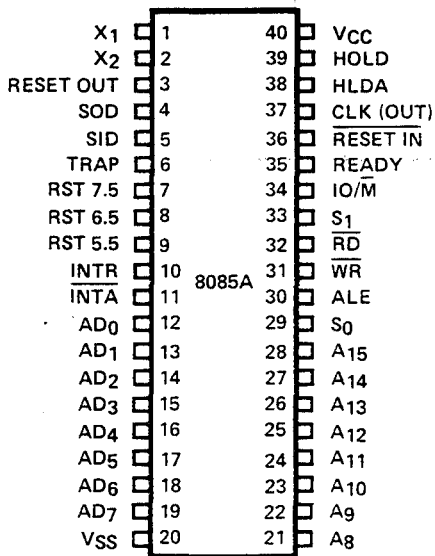


Figure 2. 8085A Pinout Diagram

8085A FUNCTIONAL PIN DEFINITION

The following describes the function of each pin:

<u>Symbol</u>	<u>Function</u>																																								
A₈-A₁₅ (Output, 3-state)	Address Bus: The most significant 8 bits of the memory address or the 8 bits of the I/O address, 3-stated during Hold and Halt modes and during RESET.																																								
AD₀₋₇ (Input/Output, 3-state)	Multiplexed Address/Data Bus: Lower 8 bits of the memory address (or I/O address) appear on the bus during the first clock cycle (T state) of a machine cycle. It then becomes the data bus during the second and third clock cycles.																																								
ALE (Output)	Address Latch Enable: It occurs during the first clock state of a machine cycle and enables the address to get latched into the on-chip latch of peripherals. The falling edge of ALE is set to guarantee setup and hold times for the address information. The falling edge of ALE can also be used to strobe the status information. ALE is never 3-stated.																																								
S₀, S₁, and IO/M (Output)	Machine cycle status: <table border="1"> <thead> <tr> <th>IO/M</th> <th>S₁</th> <th>S₀</th> <th>Status</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Memory write</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Memory read</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>I/O write</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>I/O read</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Opcode fetch</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>Interrupt Acknowledge</td> </tr> <tr> <td>*</td> <td>0</td> <td>0</td> <td>Halt</td> </tr> <tr> <td>*</td> <td>X</td> <td>X</td> <td>Hold</td> </tr> <tr> <td>*</td> <td>X</td> <td>X</td> <td>Reset</td> </tr> </tbody> </table> <p>* = 3-state (high impedance) X = unspecified</p>	IO/M	S ₁	S ₀	Status	0	0	1	Memory write	0	1	0	Memory read	1	0	1	I/O write	1	1	0	I/O read	0	1	1	Opcode fetch	1	1	1	Interrupt Acknowledge	*	0	0	Halt	*	X	X	Hold	*	X	X	Reset
IO/M	S ₁	S ₀	Status																																						
0	0	1	Memory write																																						
0	1	0	Memory read																																						
1	0	1	I/O write																																						
1	1	0	I/O read																																						
0	1	1	Opcode fetch																																						
1	1	1	Interrupt Acknowledge																																						
*	0	0	Halt																																						
*	X	X	Hold																																						
*	X	X	Reset																																						

Symbol

Function

S₁ can be used as an advanced R/W status. IO/M, S₀ and S₁ become valid at the beginning of a machine cycle and remain stable throughout the cycle. The falling edge of ALE may be used to latch the state of these lines.

RD
(Output, 3-state)

READ control: A low level on \overline{RD} indicates the selected memory or I/O device is to be read and that the Data Bus is available for the data transfer, 3-stated during Hold and Halt modes and during RESET.

WR
(Output, 3-state)

WRITE control: A low level on \overline{WR} indicates the data on the Data Bus is to be written into the selected memory or I/O location. Data is set up at the trailing edge of \overline{WR} . 3-stated during Hold and Halt modes and during RESET.

READY
(Input)

If READY is high during a read or write cycle, it indicates that the memory or peripheral is ready to send or receive data. If READY is low, the cpu will wait an integral number of clock cycles for READY to go high before completing the read or write cycle.

HOLD
(Input)

HOLD indicates that another master is requesting the use of the address and data buses. The cpu, upon receiving the hold request, will relinquish the use of the bus as soon as the completion of the current bus transfer. Internal processing can continue. The processor can regain the bus only after the HOLD is removed. When the HOLD is acknowledged, the Address, Data, \overline{RD} , \overline{WR} , and IO/M lines are 3-stated.

HLDA
(Output)

HOLD ACKNOWLEDGE: Indicates that the cpu has received the HOLD request and that it will relinquish the bus in the next clock cycle. HLDA goes low after the Hold request is removed. The cpu takes the bus one half clock cycle after HLDA goes low.

INTR
(Input)

INTERRUPT REQUEST: is used as a general purpose interrupt. It is sampled only during the next to the last clock cycle of an instruction and during Hold and Halt states. If it is active, the Program Counter (PC) will be inhibited from incrementing and an INTA will be issued. During this cycle a RESTART or CALL instruction can be inserted to jump to the interrupt service routine. The INTR is enabled and disabled by software. It is disabled by Reset and immediately after an interrupt is accepted.

8255A FUNCTIONAL PIN DESCRIPTION (Continued)

<u>Symbol</u>	<u>Function</u>	<u>Symbol</u>	<u>Function</u>
\overline{A} (Output)	INTERRUPT ACKNOWLEDGE: Is used instead of \overline{RD} and has the same timing as \overline{RD} during the Instruction cycle after an INTR is accepted. It can be used to activate the 8259 Interrupt chip or some other interrupt port.	RESET OUT (Output)	Schmitt-triggered input, allowing connection to an R-C network for power-on RESET delay. The cpu is held in the reset condition as long as RESET IN is applied.
5.5 6.5 7.5 (Inputs)	RESTART INTERRUPTS: These three inputs have the same timing as INTR except they cause an internal RESTART to be automatically inserted. The priority of these interrupts is ordered as shown in Table 1. These interrupts have a higher priority than INTR. In addition, they may be individually masked out using the SIM instruction. Trap interrupt is a nonmaskable RESTART interrupt. It is recognized at the same time as INTR or RST 5.5-7.5. It is unaffected by any mask or Interrupt Enable. It has the highest priority of any interrupt. (See Table 1.)	X ₁ , X ₂ (Input)	Indicates cpu is being reset. Can be used as a system reset. The signal is synchronized to the processor clock and lasts an integral number of clock periods. X ₁ and X ₂ are connected to a crystal LC or RC network to drive the internal clock generator. X ₁ can also be an external clock input from a logic gate. The input frequency is divided by 2 to give the processor's internal operating frequency.
P (Output)	Sets the Program Counter to zero and resets the Interrupt Enable and HLDA flip-flops. The data and address buses and the control lines are 3-stated during RESET and because of the asynchronous nature of RESET, the processor's internal registers and flags may be altered by RESET with unpredictable results. RESET IN is a	CLK (Output)	Clock Output for use as a system clock. The period of CLK is twice the X ₁ , X ₂ input period.
RESET IN (Input)		SID (Input)	Serial input data line. The data on this line is loaded into accumulator bit 7 whenever a RIM instruction is executed.
		SOD (Output)	Serial output data line. The output SOD is set or reset as specified by the SIM instruction.
		V _{cc}	+5 volt supply.
		V _{ss}	Ground Reference.

TABLE 1. INTERRUPT PRIORITY, RESTART ADDRESS, AND SENSITIVITY

Name	Priority	Address Branched To (1) When Interrupt Occurs	Type Trigger
TRAP	1	24H	Rising edge AND high level until sampled.
RST 7.5	2	3CH	Rising edge latched.
RST 6.5	3	34H	High level until sampled.
RST 5.5	4	2CH	High level until sampled.
INTR	5	See Note (2).	High level until sampled.

NOTES:

- 1) The processor pushes the PC on the stack before branching to the indicated address.
- 2) The address branched to depends on the instruction provided to the cpu when the interrupt is acknowledged.



8155/8156/8155-2/8156-2

2048 BIT STATIC MOS RAM WITH I/O PORTS AND TIMER

8085A	8085A-2	Compatible CPU / Chip Enable
8155	8155-2	ACTIVE LOW
8156	8156-2	ACTIVE HIGH

256 Word x 8 Bits

Single +5V Power Supply

Completely Static Operation

Internal Address Latch

2 Programmable 8 Bit I/O Ports

■ 1 Programmable 6-Bit I/O Port

■ Programmable 14-Bit Binary Counter/Timer

■ Multiplexed Address and Data Bus

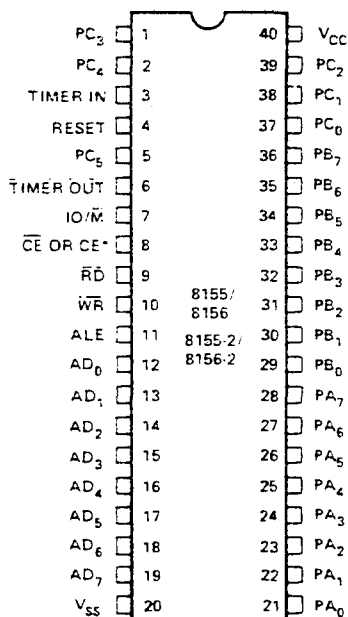
■ 40 Pin DIP

The 8155 and 8156 are RAM and I/O chips to be used in the MCS-85™ microcomputer system. The RAM portion is designed with 2048 static cells organized as 256 x 8. They have a maximum access time of 400 ns to permit use with no wait states on the 8085A CPU. The 8155-2 and 8156-2 have maximum access times of 330 ns for use with the 8085A-2.

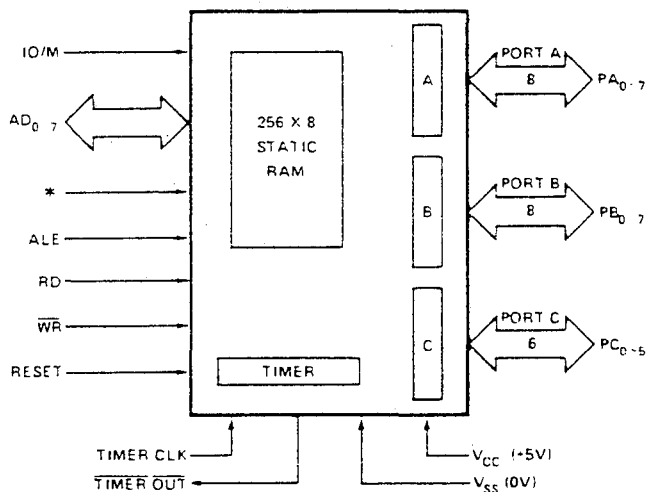
The I/O portion consists of three general purpose I/O ports. One of the three ports can be programmed to be status pins, thus allowing the other two ports to operate in handshake mode.

The 14-bit programmable counter/timer is also included on chip to provide either a square wave or terminal count pulse for the CPU system depending on timer mode.

PIN CONFIGURATION



BLOCK DIAGRAM



*: 8155/8155-2 = \overline{CE} , 8156/8156-2 = CE

8155/8156 PIN FUNCTIONS

Symbol	Function	Symbol	Function
RESET (input)	Pulse provided by the 8085A to initialize the system (connect to 8085A RESET OUT). Input high on this line resets the chip and initializes the three I/O ports to input mode. The width of RESET pulse should typically be two 8085A clock cycle times.	ALE (input)	Address Latch Enable: This control signal latches both the address on the AD ₀₋₇ lines and the state of the Chip Enable and IO/ \overline{M} into the chip at the falling edge of ALE.
AD ₀₋₇ (input)	3-state Address/Data lines that interface with the CPU lower 8-bit Address/Data Bus. The 8-bit address is latched into the address latch inside the 8155/56 on the falling edge of ALE. The address can be either for the memory section or the I/O section depending on the IO/ \overline{M} input. The 8-bit data is either written into the chip or read from the chip, depending on the WR or \overline{RD} input signal.	IO/ \overline{M} (input)	Selects memory if low and I/O and command/status registers if high.
CE or \overline{CE} (input)	Chip Enable: On the 8155, this pin is \overline{CE} and is ACTIVE LOW. On the 8156, this pin is CE and is ACTIVE HIGH.	PA ₀₋₇ (8) (input/output)	These 8 pins are general purpose I/O pins. The in/out direction is selected by programming the command register.
\overline{RD} (input)	Read control: Input low on this line with the Chip Enable active enables and AD ₀₋₇ buffers. If IO/ \overline{M} pin is low, the RAM content will be read out to the AD bus. Otherwise the content of the selected I/O port or command/status registers will be read to the AD bus.	PB ₀₋₇ (8) (input/output)	These 8 pins are general purpose I/O pins. The in/out direction is selected by programming the command register.
\overline{WR} (input)	Write control: Input low on this line with the Chip Enable active causes the data on the Address/Data bus to be written to the RAM or I/O ports and command/status register depending on IO/ \overline{M} .	PC ₀₋₅ (6) (input/output)	These 6 pins can function as either input port, output port, or as control signals for PA and PB. Programming is done through the command register. When PC ₀₋₅ are used as control signals, they will provide the following: PC ₀ — A INTR (Port A Interrupt) PC ₁ — \overline{ABF} (Port A Buffer Full) PC ₂ — $\overline{A STB}$ (Port A Strobe) PC ₃ — B INTR (Port B Interrupt) PC ₄ — $\overline{B BF}$ (Port B Buffer Full) PC ₅ — B STB (Port B Strobe)
		TIMER IN (input)	Input to the counter-timer.
		$\overline{TIMER OUT}$ (output)	Timer output. This output can be either a square wave or a pulse depending on the timer mode.
		V _{CC}	+5 volt supply.
		V _{SS}	Ground Reference.

N27128AG Series

16K-word × 8-bit UV Erasable and Programmable ROM Only Memory

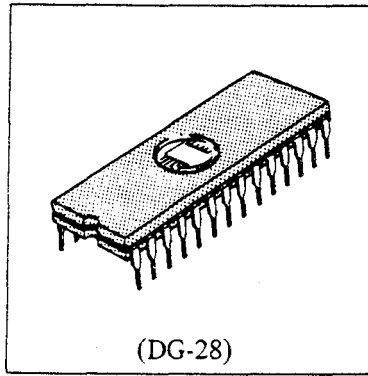
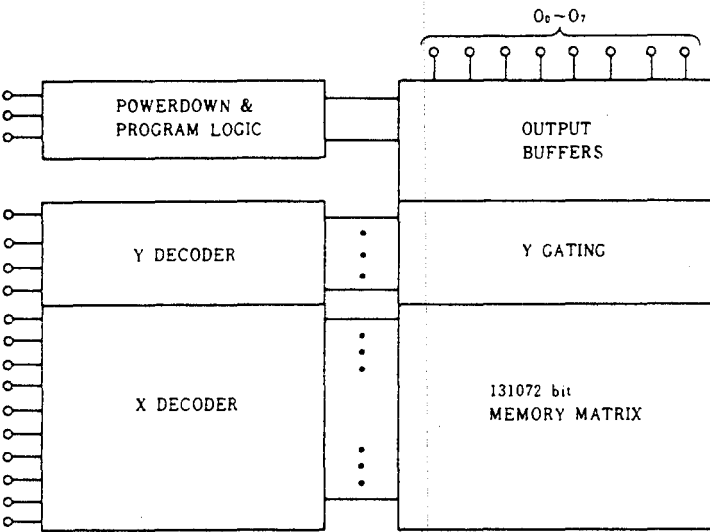
HN27128AG is a 16384-word by 8-bit erasable and electrically programmable ROM. This device is packaged in a 28-pin, dual-in-line package with transparent window. The transparent window allows the user to expose the chip to ultraviolet light to erase the bit pattern, whereby a new pattern can then be written into the device.

FEATURES

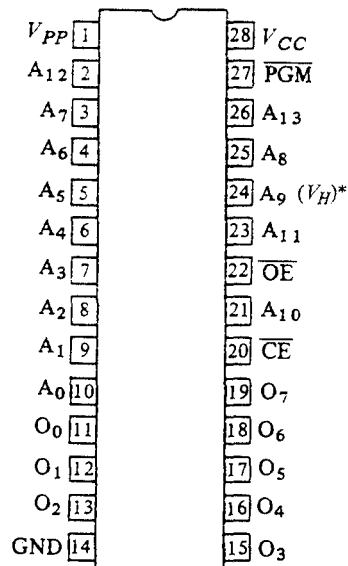
- Single Power Supply +5V ±5%
- High Performance Program Voltage: +12.5V D.C.
- High Performance Programming Operations
- Static No Clocks Required
- Inputs and Outputs TTL Compatible During Both Read and Program Modes
- Access Time HN27128AG-17: 170ns (max.)
HN27128AG-20: 200ns (max.)
HN27128AG-25: 250ns (max.)
HN27128AG-30: 300ns (max.)
- Absolute Max. Rating of 14.0V Max.
- PP pin
- Low Stand-by Current 35mA Max. (stand-by)
- Device Identifier Mode Manufacturer Code and Device Code

Compatible with INTEL 27128A

BLOCK DIAGRAM



PIN ARRANGEMENT



(Top View)

* $V_H = 12.0V \pm 0.5V$

MODE SELECTION

MODE	Pins	\overline{CE} (20)	\overline{OE} (22)	\overline{PGM} (27)	V_{PP} (1)	V_{CC} (28)	A9 (24)	Outputs (11~13, 15~19)
Read		V_{IL}	V_{IL}	V_{IH}	V_{CC}	V_{CC}	×	Dout
Output Disable		V_{IL}	V_{IH}	V_{IH}	V_{CC}	V_{CC}	×	High Z
Stand by		V_{IH}	X	X	V_{CC}	V_{CC}	×	High Z
High Performance Program		V_{IL}	X	V_{IL}	V_{PP}	V_{CC}	×	Din
Program Verify		V_{IL}	V_{IL}	V_{IH}	V_{PP}	V_{CC}	×	Dout
Program Inhibit		V_{IH}	X	X	V_{PP}	V_{CC}	×	High Z
Identifier		V_{IL}	V_{IL}	V_{IH}	V_{CC}	V_{CC}	V_H^*	Code

Note) X . . . Don't care

* $V_H = 12.0V \pm 0.5V$

ABSOLUTE MAXIMUM RATINGS

Item	Symbol	Value	Unit
Operating Temperature Range	T_{opr}	0 to +70	°C
Storage Temperature Range	T_{stg}	-65 to +125	°C
Storage Temperature RAnge Under Bias	T_{bias}	-10 to +80	°C
Voltage on Pin 24 (A9)	V_{ID}	-0.6 to +13.5	V
All Input and Output Voltages*	V_{IN}, V_{out}	-0.6 to +7	V
V_{PP} Voltage*	V_{PP}	-0.6 to +14.0	V
V_{CC} Voltage*	V_{CC}	-0.6 to +7	V

* with respect to GND

READ OPERATION

- DC AND OPERATING CHARACTERISTICS ($T_a = 0$ to 70°C , $V_{CC} = 5V \pm 5\%$, $V_{PP} = V_{CC}$)

Parameter	Symbol	Test Conditions	min.	typ.	max.	Uni
Input Leakage Current	I_{LI}	$V_{IN} = 5.25V$	-	-	10	μA
Output Leakage Current	I_{LO}	$V_{out} = 5.25V/0.45V$	-	-	10	μA
V_{PP} Current	I_{PP1}	$V_{PP} = 5.25V$	-	-	5	mA
V_{CC} Current (Standby)	I_{CC1}	$\overline{CE} = V_{IH}$	-	-	35	mA
V_{CC} Current (Active)	I_{CC2}	$\overline{CE} = \overline{OE} = V_{IL}$	-	40	100	mA
Input Low voltage	V_{IL}		-0.1*	-	0.8	V
Input High Voltage	V_{IH}		2.0	-	$V_{CC}+1^{**}$	V
Output Low Voltage	V_{OL}	$I_{OL} = 2.1\text{mA}$	-	-	0.45	V
Output High Voltage	V_{OH}	$I_{OH} = -400\mu\text{A}$	2.4	-	-	V

*: DC, 0.6V AC 20ns. **: DC, $V_{CC}+1.5V$ AC 20ns.

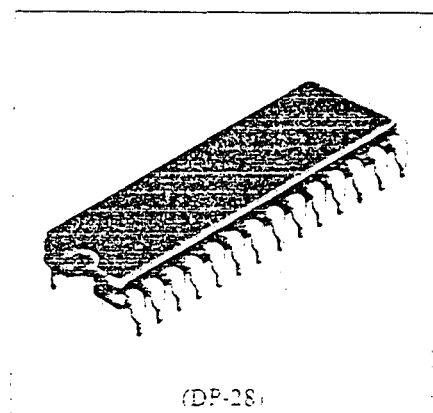
** : Mode selection is unfixed between $V_{IH} = V_{CC} + 1V$ and $V_{IH} = 11.5V$.

M6264LP-L Series

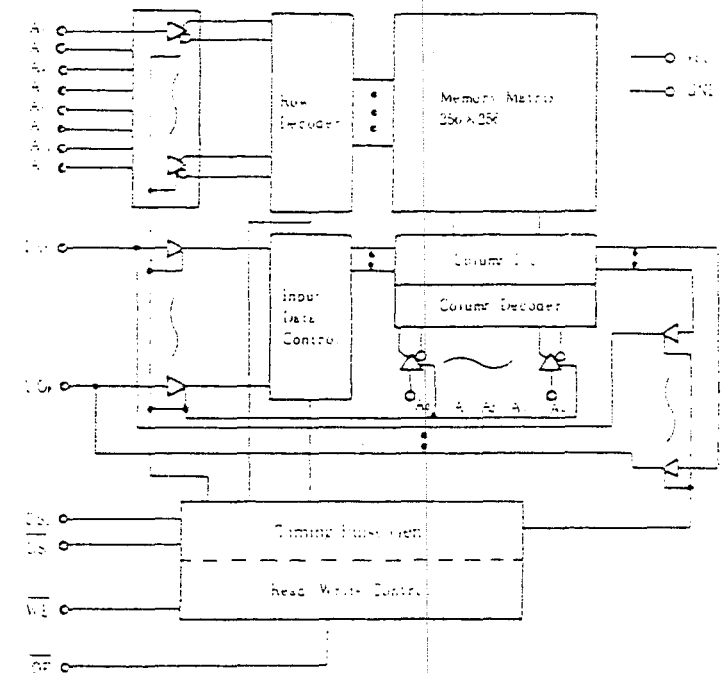
16Kbit x 8-bit High Speed Static CMOS RAM

FEATURES

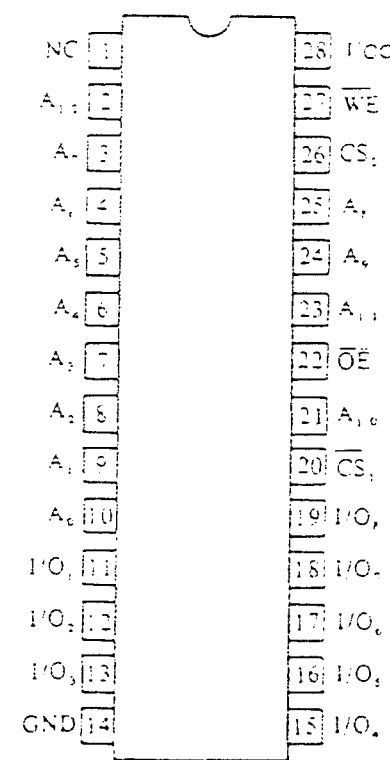
- Fast access Time: 100ns/120ns/150ns (max.)
- Low Power Standby: Standby: 0.01mW (typ.)
- Low Power Operation: Operating: 200mW (typ.)
- Capability of Battery Back-up Operation
- Single +5V Supply
- Completely Static Memory: No clock or Timing Strobe Required
- Local Access and Cycle Time
- Common Data Input and Output, Three State Output
- Directly TTL Compatible: All Input and Output
- Standard 28pin Package Configuration
- Pin Out Compatible with 64K EPROM HN482764



CLOCK DIAGRAM



PIN ARRANGEMENT



(Top View)

Absolute Maximum Ratings

Item	Symbol	Rating	Unit
Supply Voltage *	V _{CC}	-0.5 ** to +7.0	V
Power Dissipation	P _T	1.0	W
Operating Temperature	T _{opr}	0 to +70	°C
Storage Temperature	T _{stg}	-55 to +125	°C
Temperature (Under Bias)	T _{bias}	-10 to +85	°C

* Respect to GND ** Pulse width 50ns, -3.0V

Truth Table

CS ₁	CS ₂	OE	Mode	I/O Pin	V _{CC} Current	Note
H	X	X	Not Selected	High Z	I _{SB1} , I _{SB2}	
X	L	X	(Power Down)	High Z	I _{SB1} , I _{SB2}	
L	H	H	Output Disabled	High Z	I _{CC1} , I _{CC2}	

■ RECOMMENDED DC OPERATING CONDITIONS ($T_a = 0$ to $+70^\circ\text{C}$)

Item	Symbol	min	typ	max	Unit
Supply Voltage	V_{CC}	4.5	5.0	5.5	V
	GND	0	0	0	V
Input Voltage	V_{IH}	2.2	-	6.0	V
	V_{IL}	-0.3*	-	0.8	V

* Pulse Width 50ns: -3.0V

■ DC AND OPERATING CHARACTERISTICS ($V_{CC} = 5V \pm 10\%$, GND = 0V, $T_a = 0$ to $+70^\circ\text{C}$)

Item	Symbol	Test Condition	min	typ*	max	Unit
Input Leakage Current	I_{LI}	$V_{in} = \text{GND to } V_{CC}$	-	-	2	μA
Output Leakage Current	I_{LO}	$\overline{CS1} = V_{IH}$ or $CS2 = V_{IL}$ or $\overline{OE} = V_{IH}$ or $\overline{WE} = V_{IL}$, $V_{I/O} = \text{GND to } V_{CC}$	-	-	2	μA
Operating Power Supply Current	I_{CC}	$\overline{CS1} = V_{IL}$, $CS2 = V_{IH}$, $I_{I/O} = 0\text{mA}$	-	40	80	mA
Average Operating Current	I_{CC1}	Min. cycle, duty=100%, $I_{I/O} = 0\text{mA}$	-	60	110	mA
Standby Power Supply Current	I_{SB}	$\overline{CS1} = V_{IH}$ or $CS2 = V_{IL}$	-	1	3	mA
	I_{SB1}^{**}	$\overline{CS1} \geq V_{CC} - 0.2\text{V}$, $CS2 \geq V_{CC} - 0.2\text{V}$ or $CS2 \leq 0.2\text{V}$	-	2	50	μA
	I_{SB2}^{**}	$CS2 \leq 0.2\text{V}$	-	2	50	μA
Output Voltage	V_{OL}	$I_{OL} = 2.1\text{mA}$	-	-	0.4	V
	V_{OH}	$I_{OH} = -1.0\text{mA}$	2.4	-	-	V

* Typical limits are at $V_{CC} = 5.0\text{V}$, $T_a = 25^\circ\text{C}$ and specified loading.

** V_{IL} min = -0.3V

■ CAPACITANCE ($f = 1\text{MHz}$, $T_a = 25^\circ\text{C}$)

Item	Symbol	Test Condition	typ	max	Unit
Input Capacitance	C_{in}	$V_{in} = 0\text{V}$	-	6	pF
Input/Output Capacitance	$C_{I/O}$	$V_{I/O} = 0\text{V}$	-	3	pF

Note) This parameter is sampled and not 100% tested.

■ AC CHARACTERISTICS ($V_{CC} = 5V \pm 10\%$, $T_a = 0$ to $+70^\circ\text{C}$)

● AC TEST CONDITIONS

Input Pulse Levels: 0.8 to 2.4V

Input Rise and Fall Times: 10ns

Input and Output Timing Reference Level: 1.5V

Output Load: 1TTL Gate and $C_L = 100\text{pF}$ (including scope and jig)

● READ CYCLE

Item	Symbol	HM6264LP-10L		HM6264LP-12L		HM6264LP-15L		Unit	
		min	max	min	max	min	max		
Read Cycle Time	t_{RC}	100	-	120	-	150	-	ns	
Address Access Time	t_{AA}	-	100	-	120	-	150	ns	
Chip Selection to Output	$\overline{CS1}$	t_{CO1}	-	100	-	120	-	150	ns
	$CS2$	t_{CO2}	-	100	-	120	-	150	ns
Output Enable to Output Valid	t_{OE}	-	50	-	60	-	70	ns	
Chip Selection to Output in Low Z	$\overline{CS1}$	t_{LZ1}	10	-	10	-	15	-	ns
	$CS2$	t_{LZ2}	10	-	10	-	15	-	ns
Output Enable to Output in Low Z	t_{OLZ}	5	-	5	-	5	-	ns	
Chip Deselection to Output in High Z	$\overline{CS1}$	t_{HZ1}	0	35	0	40	0	50	ns
	$CS2$	t_{HZ2}	0	35	0	40	0	50	ns
Output Disable to Output in High Z	t_{OHZ}	0	35	0	40	0	50	ns	
Output Hold from Address Change	t_{OH}	10	-	10	-	15	-	ns	

NOTES: 1 t_{HZ} and t_{OHZ} are defined as the time at which the outputs achieve the open circuit condition and are not refer to output voltage levels.

2 At any given temperature and voltage condition, t_{HZ} max is less than t_{LZ} min both for a given device and frc device to device.

DAC0800, DAC0801, DAC0802 8-Bit Digital-to-Analog Converters

General Description

The DAC0800 series are monolithic 8-bit high-speed current-output digital-to-analog converters (DAC) featuring typical settling times of 100 ns. When used as a multiplying DAC, monotonic performance over a 40 to 1 reference current range is possible. The DAC0800 series also features high compliance complementary current outputs to allow differential output voltages of 20 V_{p-p} with simple resistor loads as shown in Figure 1. The reference-to-full-scale current matching of better than ±1 LSB eliminates the need for full-scale trims in most applications while the nonlinearities of better than ±0.1% over temperature minimizes system error accumulations.

The noise immune inputs of the DAC0800 series will accept TTL levels with the logic threshold pin, V_{LC}, pin 1 grounded. Simple adjustments of the V_{LC} potential allow direct interface to all logic families. The performance and characteristics of the device are essentially unchanged over the full ±4.5V to ±18V power supply range; power dissipation is only 33 mW with ±5V supplies and is independent of the logic input states.

The DAC0800, DAC0802, DAC0800C, DAC0801C and DAC0802C are a direct replacement for the DAC-08, DAC-08A, DAC-08C, DAC-08E and DAC-08H, respectively.

Features

- Fast settling output current 100 ns
- Full scale error ±1 LSB
- Nonlinearity over temperature ±0.1%
- Full scale current drift ±10 ppm/°C
- High output compliance -10V to +18V
- Complementary current outputs
- Interface directly with TTL, CMOS, PMOS and others
- 2 quadrant wide range multiplying capability
- Wide power supply range ±4.5V to ±18V
- Low power consumption 33 mW at ±5V
- Low cost

Typical Applications

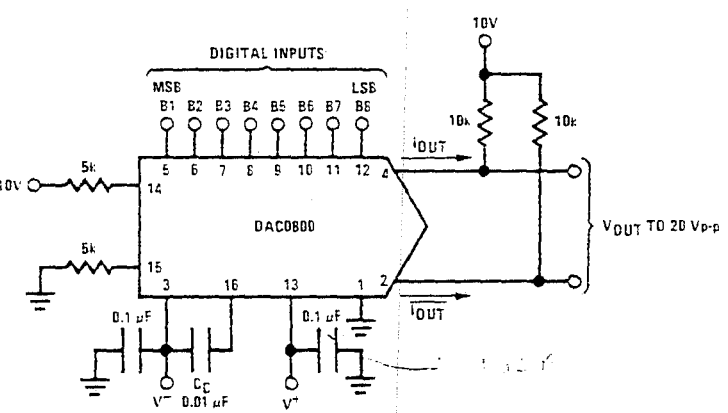
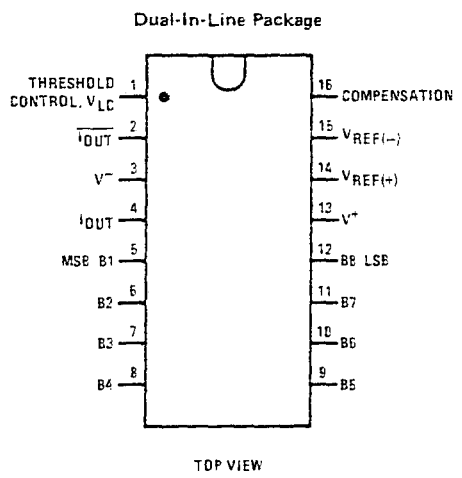


FIGURE 1. ±20 V_{p-p} Output Digital-to-Analog Converter

Connection Diagram



Ordering Information

NON LINEARITY	TEMPERATURE RANGE	ORDER NUMBERS*					
		D PACKAGE (D16C)		J PACKAGE (J16A)		N PACKAGE (N16A)	
±0.1% FS	-55°C ≤ T _A ≤ +125°C	DAC0802LD	DAC-08AQ	DAC0802LCJ	DAC-08HQ	DAC0802LCN	DAC-08HP
±0.1% FS	0°C ≤ T _A ≤ +70°C						
±0.19% FS	-55°C ≤ T _A ≤ +125°C	DAC0800LD	DAC-08Q	DAC0800LCJ	DAC-08EQ	DAC0800LCN	DAC-08EP
±0.19% FS	0°C ≤ T _A ≤ +70°C						

Absolute Maximum Ratings

Supply Voltage	±18V or 36V
Power Dissipation (Note 1)	500 mW
Reference Input Differential Voltage (V14 to V15)	V ⁻ to V ⁺
Reference Input Common-Mode Range (V14, V15)	V ⁻ to V ⁺
Reference Input Current	5 mA
Logic Inputs	V ⁻ to V ⁻ plus 36V
Analog Current Outputs	Figure 24
Storage Temperature	-65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C

Operating Conditions

	MIN	MAX	UNITS
Temperature (T _A)			
DAC0802L	-55	+125	°C
DAC0800L	-55	+125	°C
DAC0800LC	0	+70	°C
DAC0801LC	0	+70	°C
DAC0802LC	0	+70	°C

Electrical Characteristics (V_S = ±15V, I_{REF} = 2 mA, T_{MIN} ≤ T_A ≤ T_{MAX} unless otherwise specified.)

Output characteristics refer to both I_{OUT} and I_{OUT}.)

PARAMETER	CONDITIONS	DAC0802L/ DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			UNITS	
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
Resolution		8	8	8	8	8	8	8	8	8	Bits	
Monotonicity		8	8	8	8	8	8	8	8	8	Bits	
Nonlinearity				±0.1			±0.19			±0.39	%FS	
Settling Time	To ±1/2 LSB, All Bits Switched "ON" or "OFF", T _A = 25°C		100	135					100	150	ns	
	DAC0800L					100	135				ns	
	DAC0800LC					100	150				ns	
t _{PLH} , t _{PFL}	Propagation Delay Each Bit		35	60		35	60		35	60	ns	
	All Bits Switched		35	60		35	60		35	60	ns	
T _{01FS}	Full Scale Tempo		±10	±50		±10	±50		±10	±50	ppm/°C	
V _{OC}	Output Voltage Compliance	Full Scale Current Change < 1/2 LSB, R _{OUT} > 20 MΩ Typ	-10		18	-10		18	-10		18	V
I _{FS+}	Full Scale Current	V _{REF} = 10.000V, R14 = 5.000 kΩ R15 = 5.000 kΩ, T _A = 25°C	1.984	1.992	2.000	1.94	1.99	2.04	1.94	1.99	2.04	mA
I _{FS-}	Full Scale Symmetry	I _{FS+} - I _{FS-}		±0.5	±4.0		±1	±8.0		±2	±16	μA
I _{ZS}	Zero Scale Current			0.1	1.0		0.2	2.0		0.2	4.0	μA
I _{FSR}	Output Current Range	V ⁻ = -5V	0	2.0	2.1	0	2.0	2.1	0	2.0	2.1	mA
		V ⁻ = -8V to -18V	0	2.0	4.2	0	2.0	4.2	0	2.0	4.2	mA
V _{IL}	Logic Input Levels											
	Logic "0"	V _{LC} = 0V			0.8			0.8			0.8	V
V _{IH}	Logic "1"		2.0			2.0			2.0			V
I _{IL}	Logic Input Current	V _{LC} = 0V										
	Logic "0"	-10V ≤ V _{IN} ≤ -0.8V	-2.0	-10		-2.0	-10		-2.0	-10		μA
I _{IH}	Logic "1"	2V ≤ V _{IN} ≤ -18V		0.002	10		0.002	10		0.002	10	μA
V _{IS}	Logic Input Swing	V ⁻ = -15V	-10		18	-10		18	-10		18	V
V _{THR}	Logic Threshold Range	V _S = ±15V	-10		13.5	-10		13.5	-10		13.5	V
I _{RS}	Reference Bias Current		-1.0	-3.0		-1.0	-3.0		-1.0	-3.0		μA
S _{Ref}	Reference Input Slew Rate	(Figure 24)	4.0	8.0		4.0	8.0		4.0	8.0		mA/μs
PSS _{IF5+}	Power Supply Sensitivity	4.5V ≤ V ⁺ ≤ 18V		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
PSS _{IF5-}		-4.5V ≤ V ⁻ ≤ 18V		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
	Power Supply Current	V _S = ±5V, I _{REF} = 1 mA										
I ₊			2.3	3.8		2.3	3.8		2.3	3.8		mA
I ₋			-4.3	-5.8		-4.3	-5.8		-4.3	-5.8		mA
		V _S = ±5V, -15V, I _{REF} = 2 mA										
I ₊			2.4	3.8		2.4	3.8		2.4	3.8		mA
I ₋			-6.4	-7.8		-6.4	-7.8		-6.4	-7.8		mA
		V _S = ±15V, I _{REF} = 2 mA										
I ₊			2.5	3.8		2.5	3.8		2.5	3.8		mA
I ₋			-6.5	-7.8		-6.5	-7.8		-6.5	-7.8		mA
P _D	Power Dissipation	±5V, I _{REF} = 1 mA	33	48		33	48		33	48		mW
		5V, -15V, I _{REF} = 2 mA	108	136		108	136		108	136		mW
		±15V, I _{REF} = 2 mA	135	174		135	174		135	174		mW

Note 1: The maximum junction temperature of the DAC0800, DAC0801 and DAC0802 is 125°C. For operating at elevated temperatures, devices in the quadpack, J or D package must be derated based on a thermal resistance of 100°C/W, junction to ambient, 175°C/W for the molded dual-

MICRO-DAC™ DAC0830/0831/0832
8-Bit μ P Compatible, Double-Buffered D to A Converters
General Description

The DAC0830 is an advanced CMOS/Si-Cr 8-bit multiplying DAC designed to interface directly with the 8080, 8048, 8065, Z-80, and other popular microprocessors. A deposited silicon-chromium R-2R resistor ladder network divides the reference current and provides the circuit with excellent temperature tracking characteristics (0.05% of Full Scale Range maximum linearity error over temperature). The circuit uses CMOS current switches and control logic to achieve low power consumption and low output leakage current errors. Special circuitry provides TTL logic input voltage level compatibility.

Double buffering allows these DACs to output a voltage corresponding to one digital word while holding the next digital word. This permits the simultaneous updating of any number of DACs.

The DAC0830 series are the 8-bit members of a family of microprocessor-compatible DAC's (MICRO-DAC's™). For applications demanding higher resolution, the DAC1000 series (10-bits) and the DAC1208 and DAC1230 (12-bits) are available alternatives.

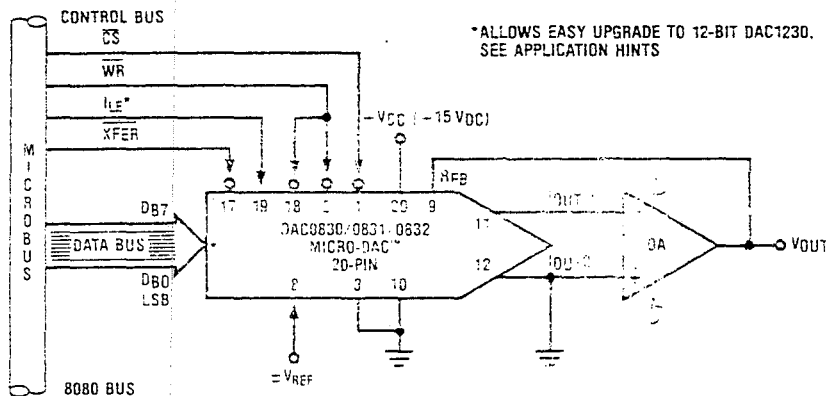
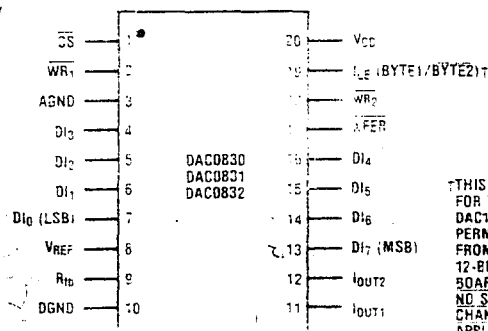
Micro-Dac is a trademark of National Semiconductor Corp.

Features

- Double-buffered, single-buffered or flow-through digital data inputs
- Easy interchange and pin-compatible with 12-bit DAC1230 series
- Direct interface to all popular microprocessors
- Linearity specified with zero and full scale adjust only—NOT BEST STRAIGHT LINE FIT.
- Works with $\pm 10V$ reference-full 4-quadrant multiplication
- Can be used in the voltage switching mode
- Logic inputs which meet TTL voltage level specs (1.4V logic threshold)
- Operates "STAND ALONE" (without μ P) if desired

Key Specifications

■ Current settling time	1 μ s
■ Resolution	8-bits
■ Linearity (guaranteed over temp.)	8, 9, or 10 bits
■ Gain Tempco	0.0002% FS/ $^{\circ}$ C
■ Low power dissipation	20 mW
■ Single power supply	5 to 15 V_{DC}

Typical Application

Pin Configuration Top View


*THIS IS NECESSARY FOR THE 12-BIT DAC1230 SERIES TO PERMIT INTERCHANGING FROM AN 8-BIT TO A 12-BIT DAC WITH NO PC BOARD CHANGES AND NO SOFTWARE CHANGES. SEE APPLICATIONS SECTION.

Absolute Maximum Ratings (Notes 1 and 2)

Supply Voltage (V _{CC})	17 V _{DC}
Voltage at any digital input	V _{CC} to GND
Voltage at V _{REF} input	±25V
Storage temperature range	-65°C to +150°C
Package dissipation at T _A = 25°C (Note 3)	500 mW
DC voltage applied to I _{OUT1} or I _{OUT2} (Note 4)	-100 mV to V _{CC}
Lead temperature (soldering, 10 seconds)	300°C

Operating Ratings

Temperature Range	
Part numbers with 'LCN' suffix	0°C to 70°C
Part numbers with 'LCD' suffix	-40°C to +85°C
Part numbers with 'LD' Suffix	-55°C to +125°C
Voltage at any digital input	V _{CC} TO GND

General Electrical Characteristics T_A = 25°C, V_{REF} = 10.000 V_{DC} unless otherwise noted

Parameter	Conditions	See Note	V _{CC} = 12V _{DC} ± 5% to 15V _{DC} ± 5%			V _{CC} = 5V _{DC} ± 5%			Units
			Min.	Typ.	Max.	Min.	Typ.	Max.	
Resolution			8	8	8	8	8	8	bits
Linearity Error	Zero and full scale adjusted	4,7							
	T _{MIN} < T _A < T _{MAX}	6							
	-10V ≤ V _{REF} ≤ +10V	5							
	DAC0830				0.05			0.05	% of FS
	DAC0831				0.1		0.1	% of FS	
	DAC0832				0.2		0.2	% of FS	
Differential Nonlinearity	Zero and full scale adjusted	4,7							
	T _{MIN} < T _A < T _{MAX}	6							
	-10V ≤ V _{REF} ≤ +10V	5							
	DAC0830				0.1		0.1	% of FS	
	DAC0831				0.2		0.2	% of FS	
	DAC0832				0.4		0.4	% of FS	
Monotonicity	T _{MIN} < T _A < T _{MAX}	4,6							
	-10V ≤ V _{REF} ≤ +10V	5	8	8	8	8	8	8	bits
Gain Error	Using internal R _{fb}								
	-10V ≤ V _{REF} ≤ +10V	5	-1.0	±0.2	1.0	-1.0	±0.2	1.0	% of FS
Gain Error Tempco	T _{MIN} < T _A < T _{MAX}	6							
	Using internal R _{fb}	10		0.0002	0.0006		0.0002	0.0006	% of FS/°C
Power Supply Rejection	All digital inputs latched high								
	V _{CC} = 14.5V to 15.5V			0.0002					% FSR/V
	11.5V to 12.5V			0.0006					% FSR/V
	4.5V to 5.5V					0.0130			%FSR/V
Reference Input Resistance			10	15	20	10	15	20	kΩ
Output Feedthrough Error	V _{REF} = 20V _{P-P} , f = 100 kHz								
	All data inputs latched low								
	D Package	9		3		3			mV _{P-P}
	N Package			3		3			mV _{P-P}
Output Capacitance	I _{OUT1}			70		70			pF
	I _{OUT2}			200		200			pF
	I _{OUT1}			200		200			pF
	I _{OUT2}			70		70			pF
Supply Current Drain	T _{MIN} ≤ T _A ≤ T _{MAX}	6		1.2	2.0		1.2	2.0	mA

General Electrical Characteristics $T_A = 25^\circ\text{C}$, $V_{REF} = 10.000\text{V}_{DC}$ unless otherwise noted

Parameter	Conditions	See Note	$V_{CC} = 12\text{V}_{DC} \pm 5\%$ to $15\text{V}_{DC} \pm 5\%$			$V_{CC} = 5\text{V}_{DC} \pm 5\%$			Units
			Min.	Typ.	Max.	Min.	Typ.	Max.	
Output Leakage Current	I_{OUT1} $T_{MIN} \leq T_A \leq T_{MAX}$ All data inputs latched low	6							
	I_{OUT2} All data inputs latched high	11			100			100	nA
Digital Input Voltages	$T_{MIN} \leq T_A \leq T_{MAX}$ Low Level LD suffix Parts with LCD or LCN suffix	6			0.8			0.6	V_{DC}
	High Level-All Parts		2.0			2.0		0.8	V_{DC}
					0.8			0.8	V_{DC}
Digital Input Currents	$T_{MIN} \leq T_A \leq T_{MAX}$ Digital inputs < 0.8V Digital inputs > 2.0V	6		-50 0.1	-200 +10		-50 0.1	-200 +10	μA_{DC} μA_{DC}
Output Settling Time	$V_{IL} = 0\text{V}$, $V_{IH} = 5\text{V}$			1.0			1.0		μs
Write and XFER Pulse Width	$V_{IL} = 0\text{V}$, $V_{IH} = 5\text{V}$, $T_A = 25^\circ\text{C}$ $T_{MIN} \leq T_A \leq T_{MAX}$	8 10	320 320	60 100		320 500	250 350		ns ns
Address Set Up Time	$V_{IL} = 0\text{V}$, $V_{IH} = 5\text{V}$, $T_A = 25^\circ\text{C}$ $T_{MIN} \leq T_A \leq T_{MAX}$	10	320 320	60 100		320 500	250 350		ns ns
Address Hold Time	$V_{IL} = 0\text{V}$, $V_{IH} = 5\text{V}$, $T_A = 25^\circ\text{C}$ $T_{MIN} \leq T_A \leq T_{MAX}$	10	90 90	50 60		300 350	200 260		ns ns
Control Set Up Time	$V_{IL} = 0\text{V}$, $V_{IH} = 5\text{V}$, $T_A = 25^\circ\text{C}$ $T_{MIN} \leq T_A \leq T_{MAX}$	10	320 320	60 100		320 500	250 350		ns ns
Control Hold Time	$V_{IL} = 0\text{V}$, $V_{IH} = 5\text{V}$, $T_A = 25^\circ\text{C}$ $T_{MIN} \leq T_A \leq T_{MAX}$	10	10 10			10 10			ns ns

- 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. These specifications are not meant to imply that the devices should be operated at these "Absolute Maximum" limits.
- 2: All voltages are measured with respect to GND, unless otherwise specified.
- 3: This 500 mW specification applies for all packages. The low intrinsic power dissipation of this part (and the fact that there is no need to significantly modify the power dissipation) removes concern for heat sinking.
- 4: For current switching applications, both I_{OUT1} and I_{OUT2} must go to ground or the "Virtual Ground" of an operational amplifier. Linearity error is degraded by approximately $V_{OS} + V_{REF}$. For example, if $V_{REF} = 10\text{V}$ then a 1 mV offset, V_{OS} , on I_{OUT1} or I_{OUT2} will produce an additional 0.01% linearity error.
- 5: Guaranteed at $V_{REF} = \pm 10\text{V}_{DC}$ and $V_{REF} = \pm 1\text{V}_{DC}$.
- 6: $T_{MIN} = 0^\circ\text{C}$ and $T_{MAX} = 70^\circ\text{C}$ for "LCN" suffix parts.
 $T_{MIN} = -40^\circ\text{C}$ and $T_{MAX} = 85^\circ\text{C}$ for "LCD" suffix parts.
 $T_{MIN} = -55^\circ\text{C}$ and $T_{MAX} = 125^\circ\text{C}$ for "LD" suffix parts.
- 7: The unit "FSR" stands for "Full Scale Range." "Linearity Error" and "Power Supply Rejection" specs are based on this unit to indicate dependence on a particular V_{REF} value and to indicate the true performance of the part. The "Linearity Error" specification of DAC0830 is "0.05% of FSR (MAX)." This guarantees that after performing a zero and full scale adjustment (See Sections 2.5 and 2.6) the plot of the 256 analog voltage outputs will each be within $0.05\% \times V_{REF}$ of a straight line which passes through zero and full scale.
- 8: This specification implies that all parts are guaranteed to operate with a write pulse or transfer pulse width (t_W) of 320 ns. A particular part will operate with t_W of only 100 ns. The entire write pulse must occur within the valid data interval for the specified t_W , t_{DS} , and t_S to apply.
- 9: To achieve this low feedthrough in the D package, the user must ground the metal lid. If the lid is left floating, the feedthrough is typically 6 mV.
- 10: Guaranteed by design but not tested.
- 11: A 100 nA leakage current with $R_{FB} = 20\text{k}$ and $V_{REF} = 10\text{V}$ corresponds to a zero error of $(100 \times 10^{-9} \times 20 \times 10^3) \times 100/10$ which is 0.2% of FS.

CD4046BM/CD4046BC Micropower Phase-Locked Loop

General Description

The CD4046B micropower phase-locked loop (PLL) consists of a low power, linear, voltage-controlled oscillator (VCO), a source follower, a zener diode, and two phase comparators. The two phase comparators have a common signal input and a common comparator input. The signal input can be directly coupled for a large voltage signal, or capacitively coupled to the self-biasing amplifier at the signal input for a small voltage signal.

Phase comparator I, an exclusive OR gate, provides a digital error signal (phase comp. I Out) and maintains 90° phase shifts at the VCO center frequency. Between signal input and comparator input (both at 50% duty cycle), it may lock onto the signal input frequencies that are close to harmonics of the VCO center frequency.

Phase comparator II is an edge-controlled digital memory network. It provides a digital error signal (phase comp. II Out) and lock-in signal (phase pulses) to indicate a locked condition and maintains a 0° phase shift between signal input and comparator input.

The linear voltage-controlled oscillator (VCO) produces an output signal (VCO Out) whose frequency is determined by the voltage at the VCO_{IN} input, and the capacitors and resistors connected to pin C1_A, C1_B, R1 and R2.

The source follower output of the VCO_{IN} (demodulator out) is used with an external resistor of 10kΩ or more.

The INHIBIT input, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode is provided for power supply regulation, if necessary.

Features

- Wide supply voltage range 3.0V to 18V
- Low dynamic power consumption 70μW (typ.) at $f_o = 10\text{ kHz}$, $V_{DD} = 5\text{ V}$
- VCO frequency 1.3MHz (typ.) at $V_{DD} = 10\text{ V}$
- Low frequency drift with temperature 0.06%/°C at $V_{DD} = 10\text{ V}$
- High VCO linearity 1% (typ.)

Applications

- FM demodulator and modulator
- Frequency synthesis and multiplication
- Frequency discrimination
- Data synchronization and conditioning
- Voltage-to-frequency conversion
- Tone decoding
- FSK modulation
- Motor speed control

Block and Connection Diagrams

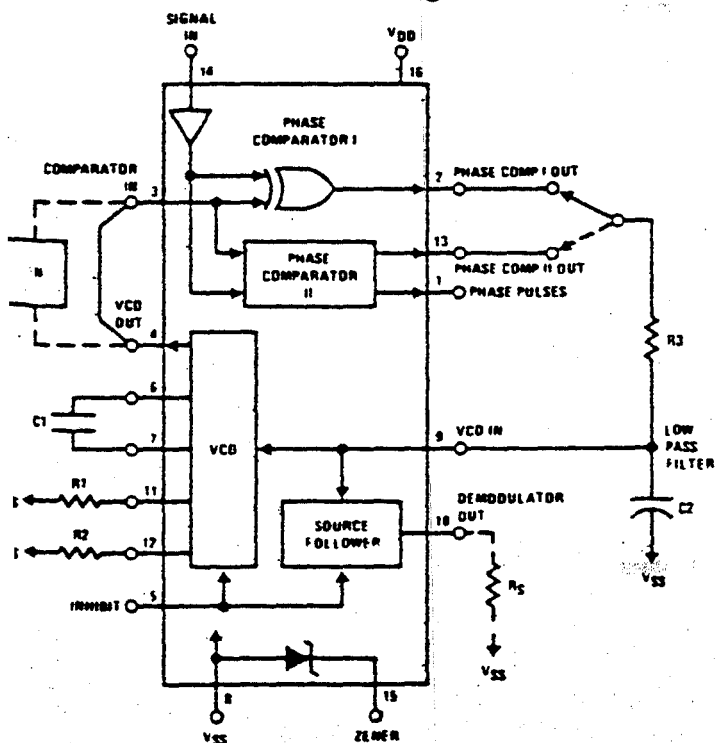
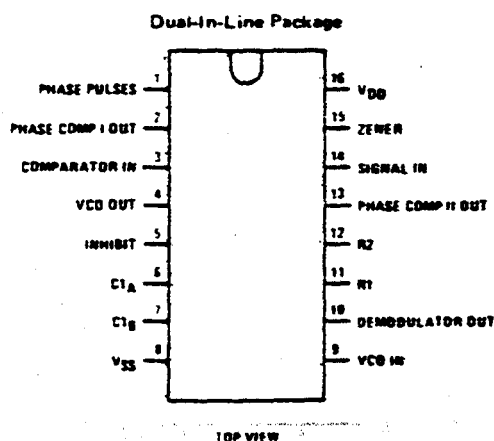
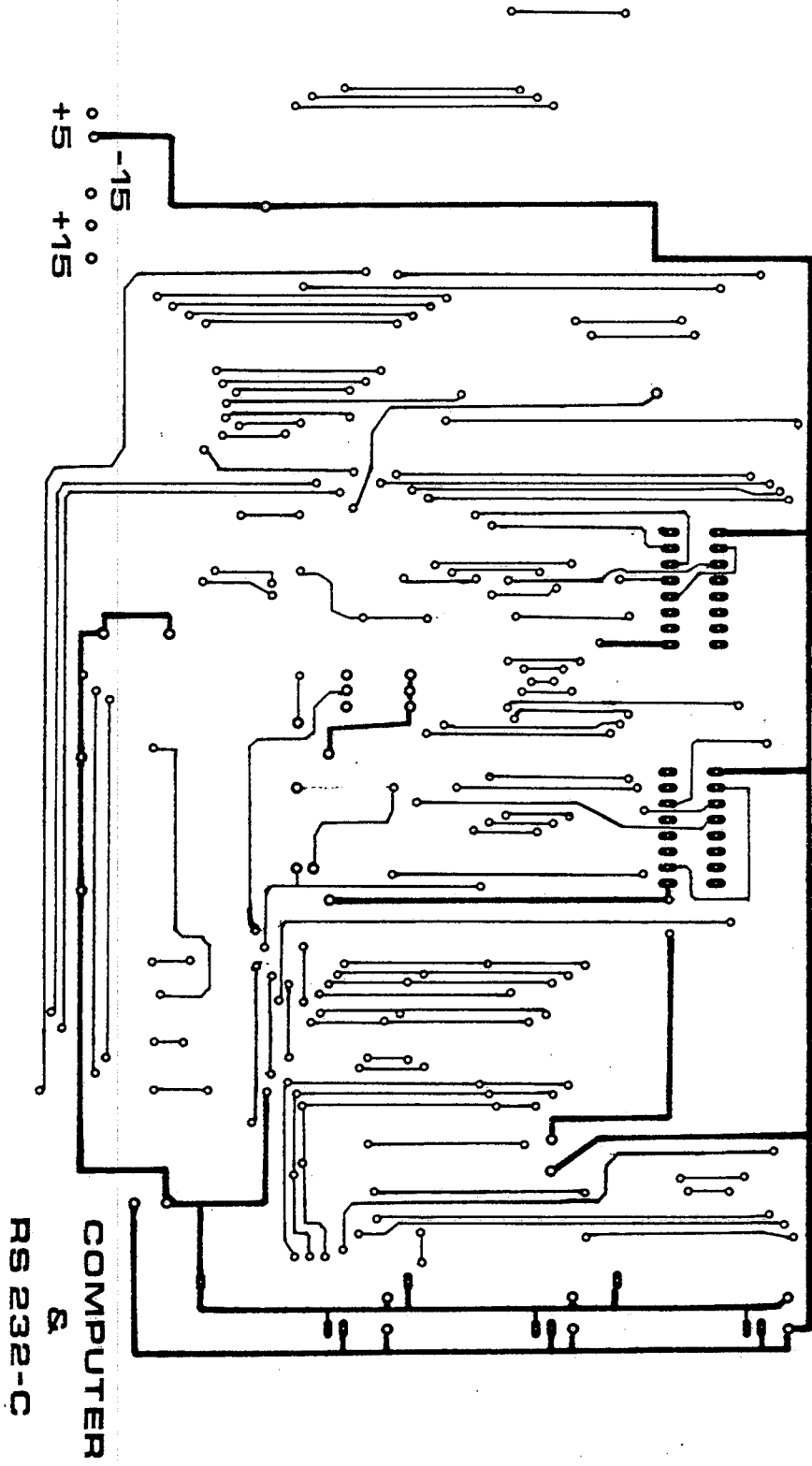


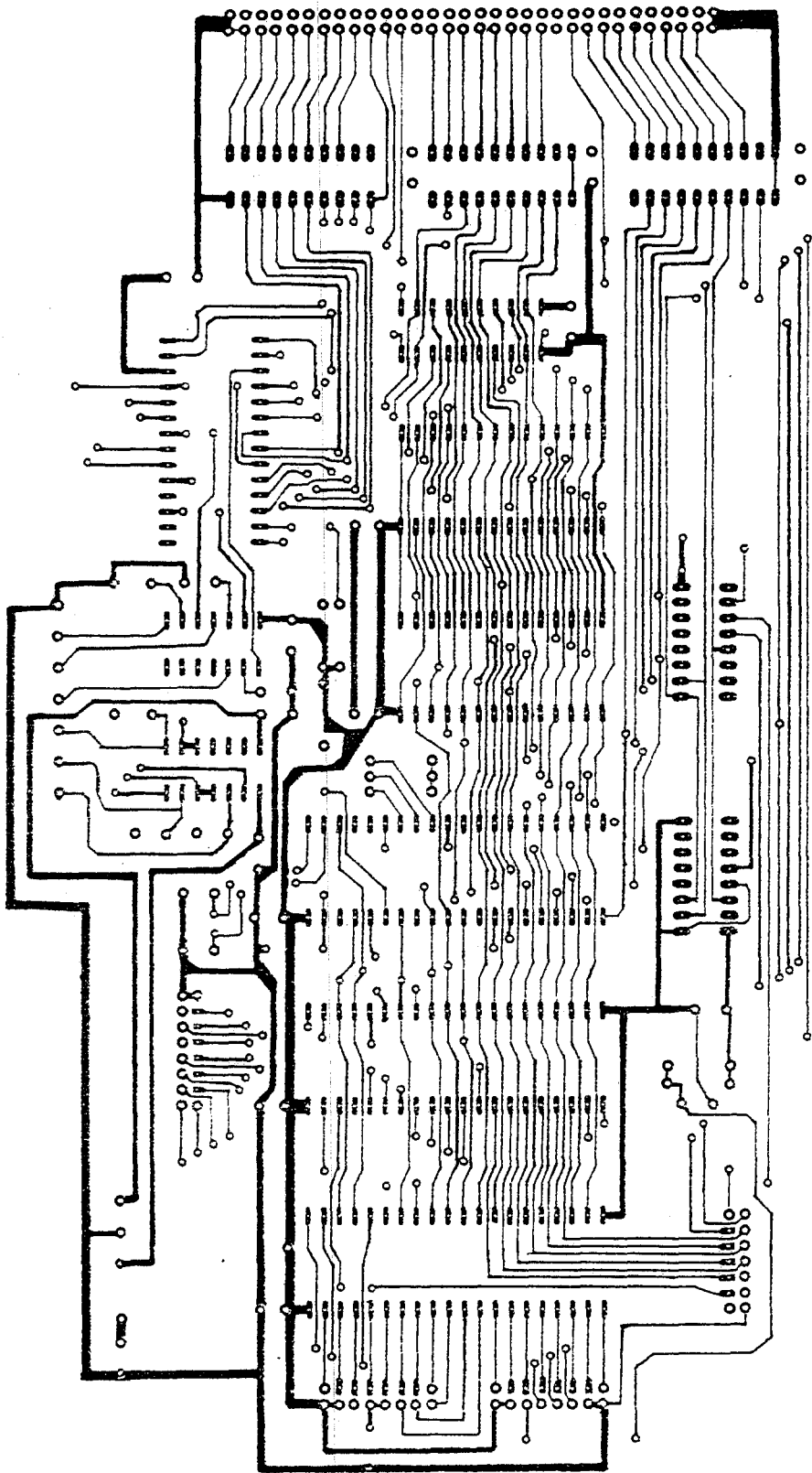
FIGURE 1



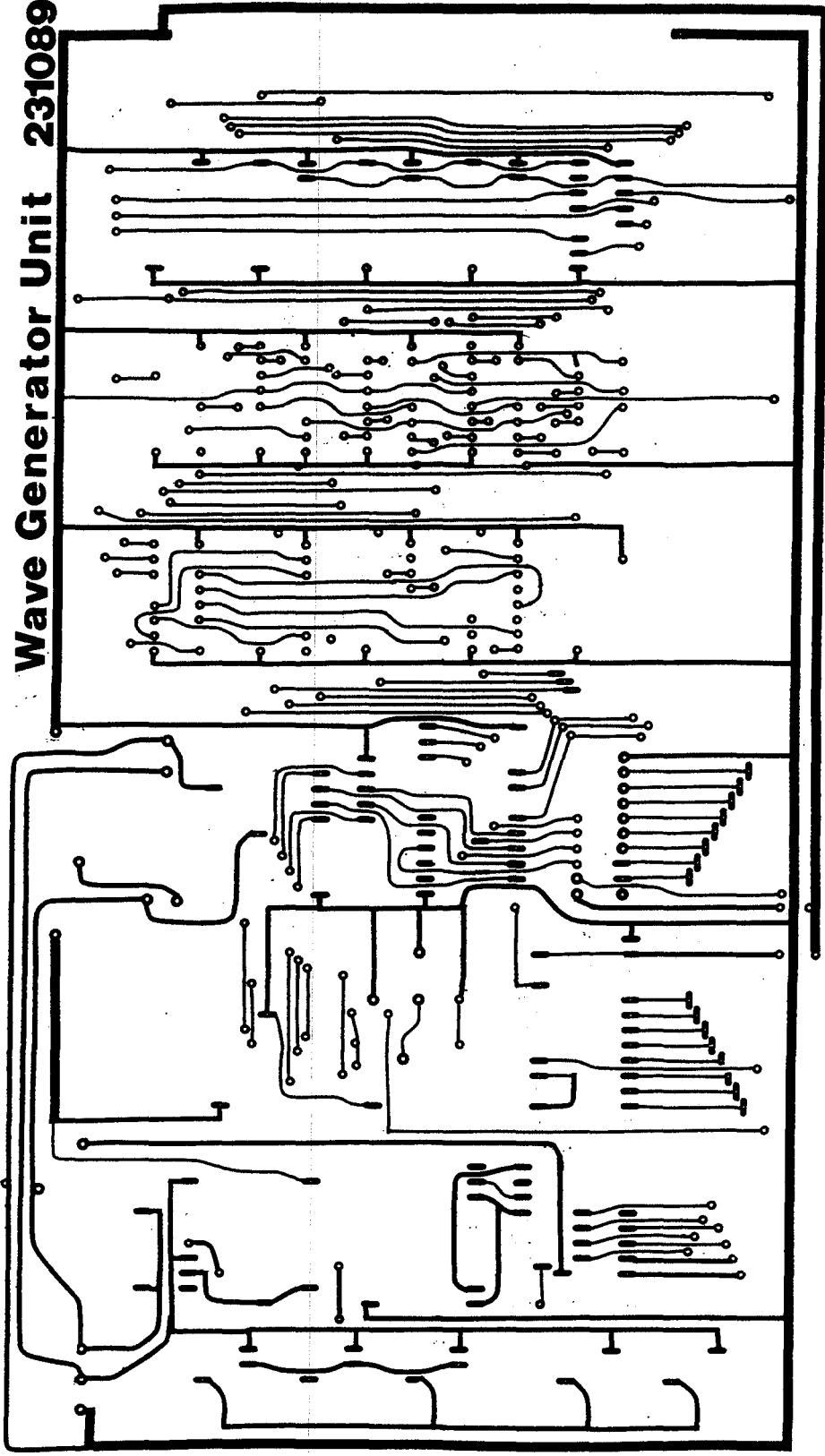
5

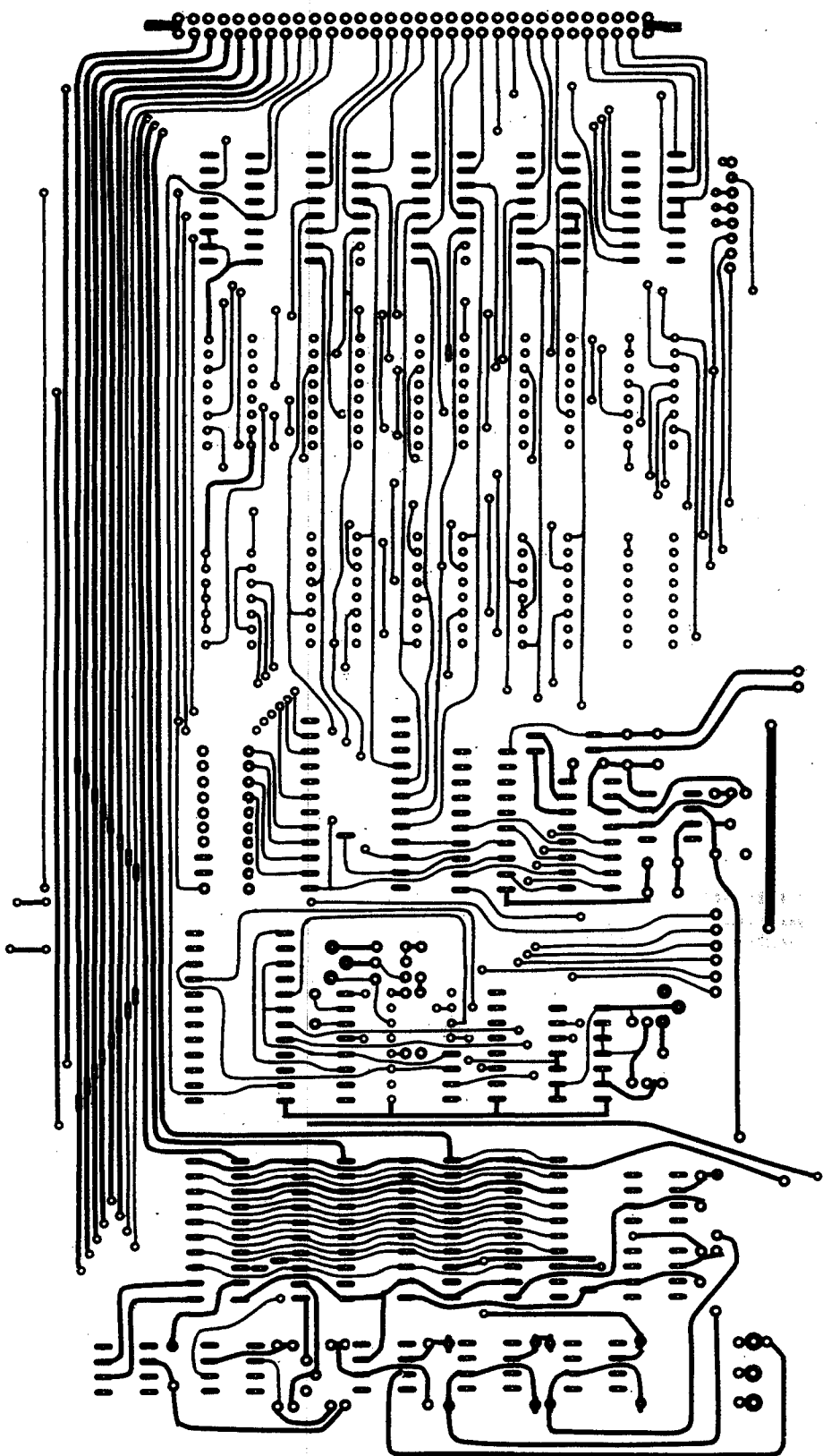
Ek 6. Baskı Devre Semaları





Wave Generator Unit 231089





Ek 7. 8085 makina dilinde yazilan programlar

; Main Menu , Edit Menu , Parameter Menu C Store Menu

LXI SP,FFFFH

JMP BEGIN

;..... RAM Addressses of Variables

KEY	EQU 4000H
NKEY	EQU 4001H
NSAMPLE	EQU 4002H
NFRQ	EQU 4004H
NSTOP	EQU 4006H
NSTART	EQU 4008H
NAMP	EQU 4009H
NOFFSET	EQU 400BH
NMENU	EQU 400CH
DSTART	EQU 400EH
COMDAT	EQU 4010H
RKEY	EQU 4014H
TTHOU	EQU 4015H
THOU	EQU 4016H
HUN	EQU 4017H
TEN	EQU 4018H
UNIT	EQU 4019H
DSTOP	EQU 4020H
ESDAT	EQU 4022H
DSET	EQU 4023H
HEXD	EQU 4025H
HEXDH	EQU 4027H
FDAT	EQU 4029H
SERIAL	EQU 4040H
FLTDAT	EQU 4042H
ADRX	EQU 4044H
YDAT	EQU 4046H
XADR	EQU 4048H
TCOM	EQU 404AH
INXDAT	EQU 404CH
INXADR	EQU 404DH
KSHIFT	EQU 404FH
ADJINX	EQU 4050H
SMPINR	EQU 4052H
FINXDAT	EQU 4054H
VINX	EQU 4056H
VDAT	EQU 4058H
VNX	EQU 405AH
NFLT	EQU 405CH
FLTINX	EQU 405DH
FLTNX	EQU 4060H
DFNX	EQU 4062H
DFINX	EQU 4064H
OFFDAT	EQU 4066H
FUP	EQU 4068H
SNXDAT	EQU 406AH
ERAD	EQU 406CH
ONOFF	EQU 406EH
PORTB	EQU 4070H


```

FARMESS DB '<',' ','F','A','R','A','M','E','T','E','R',' ','>'
MAIN DB ' ',' ',' ',' ','M','A','I','N',' ',' ','M','E','N','U'
DB ' ',' ',' ',' '
MDIS DB 1,81H

```

:..... Set the Variables to initial Values

```

BEGIN: LXI H,0
SHLD DSTART
SHLD ADEX
SHLD YDAT
SHLD FLTDAT
LXI H,200D
SHLD DSTOP
MVI A,80H
STA DSET
LXI H,50000D
SHLD FLTDAT
LXI H,0
SHLD FDAT
LXI H,4820H
SHLD HEXDH
LXI H,100
SHLD ADJ1NX
LXI H,1
SHLD INXADR
SHLD SMPINR
MVI A,1
STA INXDAT
STA ONOFF
LXI H,100
SHLD FINXDAT
MVI A,0
STA KSHIFT
MVI A,80H
STA NOFFSET
OUT 40H
LXI H,39D
SHLD VINX
SHLD OFINX
LXI H,9945D
SHLD VDAT
MVI A,1
STA VNX
STA OFNX
STA FLTNX
LXI H,200
SHLD FLT1NX
SHLD NSAMPLE
LXI H,1500H
SHLD FUP
MVI A,0
OUT 70H
MVI A,255
STA NAMP
STA NFLT
OUT 50H

```

```

;..... Programming of 8155's Ports .....
    MVI A,0FH
    OUT 0
    MVI A,0EH
    OUT 10H
    MVI A,00101000B
    STA PORTB
    OUT 2
    MVI A,10001000B
    OUT 1
;..... Menu Message .....
    MVI B,06H
    LXI H,DISP
    CALL PRDISP
    MVI B,0CH
    LXI H,MESS
    CALL PRWD
    MVI B,1
    LXI H,DISP+6
    CALL PRDISP
    MVI B,0FH
    LXI H,MESS+0CH
    CALL PRWD
    MVI B,5
W1:   CALL KDELAY
    DCR B
    JNZ W1
    MVI B,2
    LXI H,MDIS
    CALL PRDISP
    MVI B,15
    LXI H,MAIN
    CALL PRWD
;..... Wait Key .....
WAITKEY: CALL KEYI
    LDA (KEY)
    CPI 20H
    JNZ PSUB
    CALL EDIT
    JMP ME
PSUB:   CPI 40H
    JNZ STSUB
    CALL PARM
    JMP ME
STSUB:  CPI 80H
    JNZ FAIL
    CALL STORE
    JMP ME
FAIL:   JMP WAITKEY
ME:     MVI B,2
    LXI H,MDIS
    CALL PRDISP
    MVI B,15
    LXI H,MAIN
    CALL PRWD

```

```

        JMP WAITKEY
PRDISP : CALL BUSY
        MOV A,M
        OUT 12H
        CALL WCHR
        INX H
        DCR B
        JNZ PRDISP
        RET
BUSY:   MVI A,0CH
        OUT 10H
        MVI A,03H
        OUT 13H
BUSYLP: IN 12H
        ANI 80H
        JNZ BUSYLP
        MVI A,C2H
        OUT 13H
        MVI A,0EH
        OUT 10H
        RET
WD:     MVI A,5
        OUT 13H
        MVI A,4
        OUT 13H
        RET
WCHR:   MVI A,1
        OUT 13H
        MVI A,0
        OUT 13H
        RET
PRWD:   CALL BUSY
        MOV A,M
        OUT 12H
        CALL WD
        INX H
        DCR B
        JNZ PRWD
        RET
KEY1:   IN 11H
        CPI 0FFH
        JZ KEY1
        CALL DBOUNCE
        IN 11H
        CPI 0FFH
        JZ KEY1
        CMA
        STA (KEY)
RELEASE: IN 11H
        CPI 0FFH
        JNZ RELEASE
        RET
DBOUNCE: PUSH H
        PUSH B
        LXI B,DELAY

```

```

LOOP:      DCX B
           MOV A,C
           ORA B
           JNZ LOOP
           POP B
           POP H
           RET

;..... Edit Menu Program .....
EDIT:      MVI A,0
           STA (NKEY)
           MVI B,2
           LXI H,DISPE
           CALL PRDISP
           MVI B,8
           LXI H,EDITMESS
           CALL PRWD
EDITW:     CALL KEYI
           LDA (KEY)
           CPI 20H
           JNZ EFUNC
           CALL ADJ
           JMP EEND
EFUNC:     CPI 40H
           JNZ EERA
           CALL FUNC
           JMP EEND
EERA:      CPI 80H
           JNZ EST
           CALL ERAS
           JMP EEND
EST:       CPI 10H
           JNZ ESTOP
           CALL START
           JMP EEND
ESTOP:     CPI 8
           JNZ EDITX
           CALL STOP
           JMP EEND
EDITX:     CPI 4
           JNZ EDITW
           RET
EEND:      MVI B,2
           LXI H,DISPE
           CALL PRDISP
           MVI B,8
           LXI H,EDITMESS
           CALL PRWD
           JMP EDITW

;..... Binary to BCD Conversion .....
BCDCONV:   LXI D,0
           LHL COMDAT
           XCHG
           LXI H,TTHOU
           MVI C,04H
SETI:      MVI M,30H

```

```

      INX H
      DCR C
      JNZ SET1
      LXI H, TTHOU
      LXI B, -10000D
      CALL DIGIT
      LXI B, -1000D
      CALL DIGIT
      LXI B, -100D
      CALL DIGIT
      LXI B, -10D
      CALL DIGIT
      MOV A, E
      ADI 30H
      MOV M, A
      RET
DIGIT:  PUSH H
        XCHG
        DAD B
        JNC ADDIT
        XCHG
        POP H
        INR M
        JMP DIGIT
ADDIT:  MOV A, C
        CMA
        MOV E, A
        MOV A, B
        CMA
        MOV D, A
        INX D
        DAD D
        XCHG
        POP H
        INX H
        RET
RKEY1:  IN 11H
        CPI OFFH
        JZ RKEY1
        CALL KDELAY
        IN 11H
        CPI OFFH
        JZ RKEY1
        CMA
        STA (RKEY)
        RET
KDELAY:  PUSH H
        PUSH D
        LXI D, 6000D
BACK:   DCX D
        MOV A, E
        ORA D
        JNZ BACK
        POP D
        POP H

```

```

RET
;..... Binary to ASCII Conversion .....
BINAS:   LDA ESDAT
        ANI OFOH
        RRC
        RRC
        RRC
        RRC
        LXI H,HEXD
        CALL PREX
        LDA ESDAT
        ANI OFH
        INX H
        CALL PHEX
        RET
PHEX:   CPI OAH
        JC ASCZ
        ADI 7
ASCZ:   ADI 30H
        MOV M,A
        RET
SETPRN: MVI B,1
        LXI H,DISPE+15
        CALL PRDISP
        MVI B,4
        LXI H,HEXD
        CALL PRWD
        RET
;..... Change the variables according to SHIFT key ....
KEYB:   MVI B,1
        LXI H,DISPFR+4
        CALL PRDISP
        LDA KSHIFT
        CPI 1
        JNZ ON
        MVI A,0
        STA KSHIFT
        LXI H,100
        SHLD FINXDAT
        MVI A,1
        STA INXDAT
        STA VNX
        STA OFNX
        STA FLTNX
        LXI H,1
        SHLD INXADR
        LXI H,39
        SHLD VINX
        SHLD OFINX
        LXI H,200
        SHLD FLTINX
        LXI H,DISPFR+6
        CALL SHFT
        RET
ON:     MVI A,1

```



```

STA KSHIFT
LXI H,1000D
SHLD FINXDAT
MVI A,10
STA INXDAT
LXI H,100
SHLD INXADR
MVI A,25
STA VNX
STA OFNX
LXI H,975
SHLD VINX
SHLD OFINX
LXI H,1000D
SHLD FLTINX
MVI A,5
STA FLTNX
LXI H,DISPFR+5
CALL SHFT
RET
SHFT:    MVI B,1
         CALL PRWD
         RET
;..... Send START & STOP Addresses .....
SEND:    LDA DSTART
         RRC
         RRC
         RRC
         RRC
         MVI B,8
         CALL SDAT
         LDA DSTART+1
         MVI B,4
         CALL SDAT
         LDA DSTOP
         MVI B,8
         CALL SDAT
         LDA DSTOP+1
         MVI B,4
         CALL SDAT
         MVI A,BCH
         OUT 1
         MVI A,B8H
         OUT 1
         RET
SDAT:    ANI OFFH
         RAR
         STA SERIAL
         MVI A,0
         RAR
         RAR
         RAR
         ORI 88H
         OUT 1
         XRI 40H

```

```

        OUT 1
        XRI 40H
        OUT 1
        LDA SERIAL
        DCR B
        JNZ SDAT
        RET
;..... Start Waveform Generation .....
EXEST   MVI A,10001001B
        OUT 1
        LDA PORTB
        MVI A,01100010B
        OUT 2
        RET
;..... Stop Waveform Generation .....
EXSTOP: LDA PORTB
        MVI A,00101000B
        OUT 2
        MVI A,88H
        OUT 1
        RET
;..... Parameter Menu Program .....
PARM:   MVI B,2
        LXI H,PDISP
        CALL PRDISP
        MVI B,13
        LXI H,PARMESS
        CALL PRWD
PARW:   CALL KEY1
        LDA KEY
        CPI 80H
        JNZ PAMP
        CALL OFF
PAMP:   CPI 40H
        JNZ PFRQ
        CALL AMP
PFRQ:   CPI 20H
        JNZ PFLT
        CALL FRQ
PFLT:   CPI 10H
        JNZ PSMP
        CALL FLT
PSMP:   CPI 8
        JNZ PARX
        CALL SFRQ
PARX:   CPI 4
        JNZ PARE
        RET
PARE:   MVI B,2
        LXI H,PDISP
        CALL PRDISP
        MVI B,13
        LXI H,PARMESS
        CALL FRWD
        JMP PARW

```

;. Store Menu Program

```
STORE:    MVI B,2
          LXI H,STODS
          CALL PRDISP
          MVI B,9
          LXI H,STORM
          CALL PRWD
STOW:     CALL KEY1
          LDA KEY
          CPI 20H
          JNZ STORC
          CALL SORT
STORC:    CPI 10H
          JNZ STOXC
          CALL RCALL
STOXC:    CPI 8
          JNZ STOXT
          CALL EXCHANGE
STOXT:    CPI 4
          JNZ STOEN
          RET
STOEN:    MVI B,2
          LXI H,STODS
          CALL PRDISP
          MVI B,9
          LXI H,STORM
          CALL PRWD
          RET
          END
```